

#2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Gen SASAKI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SIGNAL PROCESSING CIRCUIT OF IMAGE INPUT APPARATUS

REQUEST FOR PRIORITY

JC564 U.S. PTO
09/504082
02/15/00

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-035703	February 15, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

Fourth Floor
1755 Jefferson Davis Highway
Arlington, Virginia 22202
Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 11/98)



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC564 U.S. PTO
09/504082
02/15/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 2月15日

出 願 番 号
Application Number:

平成11年特許願第035703号

出 願 人
Applicant(s):

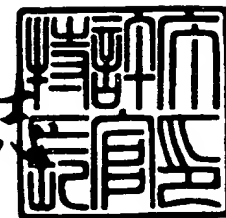
株式会社メガチップス

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 6月29日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3046019

【書類名】 特許願

【整理番号】 P23-0153

【提出日】 平成11年 2月15日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/30

【発明の名称】 画像入力装置における信号処理回路

【請求項の数】 14

【発明者】

 【住所又は居所】 大阪市淀川区宮原4丁目5番36号 株式会社メガチップス内

 【氏名】 佐々木 元

【特許出願人】

 【識別番号】 591128453

 【氏名又は名称】 株式会社メガチップス

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304470

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像入力装置における信号処理回路

【特許請求の範囲】

【請求項 1】 撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号を主メモリの各記憶単位にそれぞれ記憶する画像入力装置内において、前記主メモリに記憶された単位画像信号を読み出して処理する信号処理回路であって、

前記単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、

前記主メモリに記憶された単位画像信号を前記第 1 記憶手段の各記憶領域に転送して記憶させた後、前記第 1 記憶手段の各記憶領域に記憶された単位画像信号を前記第 2 記憶手段の各記憶領域に転送して記憶させることによって、前記主メモリに記憶された単位画像信号の配列を右に 90° または左に 90° 回転させた状態で前記第 2 記憶手段の各記憶領域に記憶するように、前記第 1 記憶手段の各記憶領域と前記第 2 記憶手段の各記憶領域とが互いに接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 2】 画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、

前記第 1 記憶手段の各記憶領域に記憶された単位画像信号の配列を、当該配列の中心線で鏡映させて前記第 2 記憶手段の各記憶領域に記憶するように、前記第 1 記憶手段の各記憶領域と前記第 2 記憶手段の各記憶領域とが互いに所定の接続線で直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 3】 画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 レジスタグループを備え、当該第 1 および第 2 レジスタグループがそれぞれ第 1 ないし第 4 レジスタを備えるとともに、当該第 1 ないし第 4 レジスタが第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、

前記第 1 レジスタグループの第 1 ないし第 4 レジスタの第 0 記憶領域が所定の

接続線によって前記第 2 レジスタグループの第 4 レジスタの第 0 記憶領域ないし第 3 記憶領域に直接接続され、

前記第 1 レジスタグループの第 1 ないし第 4 レジスタの第 1 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 3 レジスタの第 0 記憶領域ないし第 3 記憶領域に直接接続され、

前記第 1 レジスタグループの第 1 ないし第 4 レジスタの第 2 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 2 レジスタの第 0 記憶領域ないし第 3 記憶領域に直接接続され、

前記第 1 レジスタグループの第 1 ないし第 4 レジスタの第 3 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 0 記憶領域ないし第 3 記憶領域に直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 4】 請求項 3 に記載の画像入力装置における信号処理回路において、さらに、2 次元的に配列された所定単位の単位画像信号と同じビット数の第 0 ないし第 3 記憶領域をそれぞれ備える第 1 ないし第 4 レジスタを備える第 3 レジスタグループを備え、

前記第 2 レジスタグループの第 1 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ前記第 3 レジスタグループの第 1 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、

前記第 2 レジスタグループの第 2 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ前記第 3 レジスタグループの第 2 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、

前記第 2 レジスタグループの第 3 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ前記第 3 レジスタグループの第 3 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、

前記第 2 レジスタグループの第 4 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ前記第 3 レジスタグループの第 4 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 5】 画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第 2 および第 3 レジスタグループを備え、当該第 2 および第 3 レジスタグループがそれぞれ第 1 ないし第 4 レジスタを備えるとともに、当該第 1 ないし第 4 レジスタが第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、

前記第 2 レジスタグループの第 1 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ前記第 3 レジスタグループの第 1 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、

前記第 2 レジスタグループの第 2 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ前記第 3 レジスタグループの第 2 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、

前記第 2 レジスタグループの第 3 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ前記第 3 レジスタグループの第 3 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、

前記第 2 レジスタグループの第 4 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ前記第 3 レジスタグループの第 4 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 6】 画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、

前記単位画像信号が所定の単位色配列を形成する複数の成分のうちの 1 成分であり、

前記第 1 記憶手段の各記憶領域に記憶された単位画像信号の配列を、前記単位色配列を保ちつつ右に 90° または左に 90° 回転させる回転変換を行って前記第 2 記憶手段の各記憶領域に記憶するように、前記第 1 記憶手段の各記憶領域と前記第 2 記憶手段の各記憶領域とが互いに所定の接続線で直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 7】 請求項 6 に記載の画像入力装置における信号処理回路において、前記回転変換が右にのみ 90° 回転させるものであり、前記単位色配列が 1 つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の $1/2$ である 2 つの色成分とからなるものであり、

前記第 1 記憶手段として第 1 レジスタグループを、前記第 2 記憶手段として第 2 レジスタグループを備え、当該第 1 および第 2 レジスタグループがそれぞれ第 1 および第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが、前記輝度成分および前記 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、

前記第 1 レジスタグループの第 1 レジスタの第 0 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 2 レジスタの第 0 記憶領域に直接接続され、

前記第 1 レジスタグループの第 1 レジスタの第 2 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 0 記憶領域に直接接続され、

前記第 1 レジスタグループの第 2 レジスタの第 0 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 2 レジスタの第 2 記憶領域に直接接続され、

前記第 1 レジスタグループの第 2 レジスタの第 1 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 1 記憶領域および前記第 2 レジスタグループの第 2 レジスタの第 1 記憶領域に直接接続され、

前記第 1 レジスタグループの第 2 レジスタの第 2 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 2 記憶領域に直接接続され、

前記第 1 レジスタグループの第 2 レジスタの第 3 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 3 記憶領域および前記第 2 レジスタグループの第 2 レジスタの第 3 記憶領域に直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 8】 請求項 6 に記載の画像入力装置における信号処理回路において、前記回転変換が左にのみ 90° 回転させるものであり、前記単位色配列が 1 つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の $1/2$ である 2 つの色成分とからなるものであり、

前記第 1 記憶手段として第 1 レジスタグループを、前記第 2 記憶手段として第

2 レジスタグループを備え、当該第 1 および第 2 レジスタグループがそれぞれ第 1 および第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが、前記輝度成分および前記 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、

前記第 1 レジスタグループの第 1 レジスタの第 0 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 2 記憶領域に直接接続され、

前記第 1 レジスタグループの第 1 レジスタの第 2 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 2 レジスタの第 2 記憶領域に直接接続され、

前記第 1 レジスタグループの第 2 レジスタの第 0 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 0 記憶領域に直接接続され、

前記第 1 レジスタグループの第 2 レジスタの第 1 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 1 記憶領域および前記第 2 レジスタグループの第 2 レジスタの第 1 記憶領域に直接接続され、

前記第 1 レジスタグループの第 2 レジスタの第 2 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 2 レジスタの第 0 記憶領域に直接接続され、

前記第 1 レジスタグループの第 2 レジスタの第 3 記憶領域が所定の接続線によって前記第 2 レジスタグループの第 1 レジスタの第 3 記憶領域および前記第 2 レジスタグループの第 2 レジスタの第 3 記憶領域に直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 9】 画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える記憶手段を備え、

前記単位画像信号が所定の単位色配列を形成する複数の成分のうちの 1 成分であり、さらに、

所定の右回転命令信号の入力に応答して、前記記憶手段の各記憶領域に記憶された単位画像信号の配列を、前記単位色配列を保ちつつ右に 90° 回転させて前記記憶手段の各記憶領域に記憶させる右回転手段を備えることを特徴とする画像入力装置における信号処理回路。

【請求項 1 0】 請求項 9 に記載の画像入力装置における信号処理回路において、前記単位色配列が 1 つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の $1/2$ である 2 つの色成分とからなるものであり、

前記記憶手段としてレジスタグループを備え、当該レジスタグループが第 1 および第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが、前記輝度成分および前記 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、

前記右回転命令信号の入力に応答して前記右回転手段が、

第 1 レジスタの第 0 記憶領域の単位画像信号を第 2 レジスタの第 0 記憶領域に記憶させ、

第 1 レジスタの第 2 記憶領域の単位画像信号を第 1 レジスタの第 0 記憶領域に記憶させ、

第 2 レジスタの第 0 記憶領域の単位画像信号を第 2 レジスタの第 2 記憶領域に記憶させ、

第 2 レジスタの第 1 記憶領域の単位画像信号を第 1 レジスタの第 1 記憶領域および第 2 レジスタの第 1 記憶領域に記憶させ、

第 2 レジスタの第 2 記憶領域の単位画像信号を第 1 レジスタの第 2 記憶領域に記憶させ、

第 2 レジスタの第 3 記憶領域の単位画像信号を第 1 レジスタの第 3 記憶領域および第 2 レジスタの第 3 記憶領域に記憶させるものであることを特徴とする画像入力装置における信号処理回路。

【請求項 1 1】 画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える記憶手段を備え、

前記単位画像信号が所定の単位色配列を形成する複数の成分のうちの 1 成分であり、さらに、

所定の左回転命令信号の入力に応答して、前記記憶手段の各記憶領域に記憶された単位画像信号の配列を、前記単位色配列を保ちつつ左に 90° 回転させて前記記憶手段の各記憶領域に記憶させる左回転手段を備えることを特徴とする画像

入力装置における信号処理回路。

【請求項 1 2】 請求項 1 1 に記載の画像入力装置における信号処理回路において、前記単位色配列が 1 つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の $1/2$ である 2 つの色成分とからなるものであり、

前記記憶手段としてレジスタグループを備え、当該レジスタグループが第 1 および第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが、前記輝度成分および前記 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、

前記左回転命令信号の入力に応答して前記左回転回路が、

第 1 レジスタの第 0 記憶領域の単位画像信号を第 1 レジスタの第 2 記憶領域に記憶させ、

第 1 レジスタの第 2 記憶領域の単位画像信号を第 2 レジスタの第 2 記憶領域に記憶させ、

第 2 レジスタの第 0 記憶領域の単位画像信号を第 1 レジスタの第 0 記憶領域に記憶させ、

第 2 レジスタの第 1 記憶領域の単位画像信号を第 1 レジスタの第 1 記憶領域および第 2 レジスタの第 1 記憶領域に記憶させ、

第 2 レジスタの第 2 記憶領域の単位画像信号を第 2 レジスタの第 0 記憶領域に記憶させ、

第 2 レジスタの第 3 記憶領域の単位画像信号を第 1 レジスタの第 3 記憶領域および第 2 レジスタの第 3 記憶領域に記憶させるものであることを特徴とする画像入力装置における信号処理回路。

【請求項 1 3】 画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、

前記単位画像信号が所定の単位色配列を形成する複数の成分のうちの 1 成分であり、

前記第 1 記憶手段において第 1 の単位色配列を形成するように各記憶領域に記憶された各単位画像信号を第 2 の単位色配列に変換して前記第 2 記憶手段の各記

憶領域に記憶するように、前記第 1 記憶手段の各記憶領域と前記第 2 記憶手段の各記憶領域とが互いに所定の接続線で直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項 1 4】 請求項 1 3 に記載の画像入力装置における信号処理回路において、前記第 1 および第 2 の単位色配列がそれぞれ 1 つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の $1/2$ である 2 つの色成分とからなるものであり、

前記第 1 記憶手段として第 1 レジスタを、前記第 2 記憶手段として第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが前記輝度成分および前記 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、

第 1 レジスタの第 0 記憶領域が所定の接続線によって第 2 レジスタの第 0 記憶領域に直接接続され、

第 1 レジスタの第 1 記憶領域が所定の接続線によって第 2 レジスタの第 2 記憶領域に直接接続され、

第 1 レジスタの第 2 記憶領域が所定の接続線によって第 2 レジスタの第 1 記憶領域に直接接続され、

第 1 レジスタの第 3 記憶領域が所定の接続線によって第 2 レジスタの第 3 記憶領域に直接接続されていることを特徴とする画像入力装置における信号処理回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、主にデジタルスチルカメラ等の画像入力装置内において撮像素子によって撮像された 2 次元的に配列された画素単位の信号を変換する画像入力装置における信号処理回路に関する。

【0 0 0 2】

【従来の技術】

従来から、デジタルカメラで撮像された画像に対して、回転、鏡映、色配列

変換等の画像処理を施すことが行われている。その際には、撮像された画像データを内部に備わったCPUに読み込み、そこで、ソフトウェアによって上記画像処理を行っている。

【0003】

【発明が解決しようとする課題】

ところで、CPUが32ビットのレジスタを有し、それによって1画素が1バイト（8ビット）等の単位で表現される画像データをソフトウェアで上記画像処理を行う場合には、CPUの処理単位（32ビット）と画素の単位（8ビット）が一致していないために、一度画像データをCPU内の複数のレジスタ上に分解し回転等を行なった後、レジスタ上で32ビットのデータ（以下、「ワードデータ」と呼ぶ）を再構築、すなわち、8ビットの画像データに余分に24ビットのダミーのビットを付加した後、メモリまたは記録メディアに格納し、そうして得られた32ビットの画像データをCPUに読み込んで処理し、処理終了後には再び8ビットのデータに戻して画像データを保存している。そのため、この処理ではワードデータと1バイトのデータの間のデータ変換処理が多く、処理時間が増大していた。

【0004】

この発明は、従来技術における上述の問題の克服を意図しており、高速に画像の回転、鏡映、色配列変換等の処理を行なうことができる画像入力装置における信号処理回路を提供することを目的とする。

【0005】

【課題を解決するための手段】

上記の目的を達成するため、請求項1の発明は、撮像素子によって撮像された2次元的に配列された所定単位の単位画像信号を主メモリの各記憶単位にそれぞれ記憶する画像入力装置内において、主メモリに記憶された単位画像信号を読み出して処理する信号処理回路であって、単位画像信号と同じビット数の記憶領域を複数備える第1および第2記憶手段を備え、主メモリに記憶された単位画像信号を第1記憶手段の各記憶領域に転送して記憶させた後、第1記憶手段の各記憶領域に記憶された単位画像信号を第2記憶手段の各記憶領域に転送して記憶させ

ることによって、主メモリに記憶された単位画像信号の配列を右に90°または左に90°回転させた状態で第2記憶手段の各記憶領域に記憶するように、第1記憶手段の各記憶領域と第2記憶手段の各記憶領域とが互いに接続されている。

【0006】

また、請求項2の発明は、画像入力装置内において撮像素子によって撮像された2次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第1および第2記憶手段を備え、第1記憶手段の各記憶領域に記憶された単位画像信号の配列を、当該配列の中心線で鏡映させて第2記憶手段の各記憶領域に記憶するように、第1記憶手段の各記憶領域と第2記憶手段の各記憶領域とが互いに所定の接続線で直接接続されている。

【0007】

また、請求項3の発明は、画像入力装置内において撮像素子によって撮像された2次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第1および第2レジスタグループを備え、当該第1および第2レジスタグループがそれぞれ第1ないし第4レジスタを備えるとともに、当該第1ないし第4レジスタが第0ないし第3記憶領域をそれぞれ備えるものであって、第1レジスタグループの第1ないし第4レジスタの第0記憶領域が所定の接続線によって第2レジスタグループの第4レジスタの第0記憶領域ないし第3記憶領域に直接接続され、第1レジスタグループの第1ないし第4レジスタの第1記憶領域が所定の接続線によって第2レジスタグループの第3レジスタの第0記憶領域ないし第3記憶領域に直接接続され、第1レジスタグループの第1ないし第4レジスタの第2記憶領域が所定の接続線によって第2レジスタグループの第2レジスタの第0記憶領域ないし第3記憶領域に直接接続され、第1レジスタグループの第1ないし第4レジスタの第3記憶領域が所定の接続線によって第2レジスタグループの第1レジスタの第0記憶領域ないし第3記憶領域に直接接続されている。

【0008】

また、請求項4の発明は、請求項3に記載の画像入力装置における信号処理回路において、さらに、2次元的に配列された所定単位の単位画像信号と同じビット数の第0ないし第3記憶領域をそれぞれ備える第1ないし第4レジスタを備え

る第 3 レジスタグループを備え、第 2 レジスタグループの第 1 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ第 3 レジスタグループの第 1 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、第 2 レジスタグループの第 2 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ第 3 レジスタグループの第 2 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、第 2 レジスタグループの第 3 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ第 3 レジスタグループの第 3 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、第 2 レジスタグループの第 4 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ第 3 レジスタグループの第 4 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続されている。

【 0 0 0 9 】

また、請求項 5 の発明は、画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第 2 および第 3 レジスタグループを備え、当該第 2 および第 3 レジスタグループがそれぞれ第 1 ないし第 4 レジスタを備えるとともに、当該第 1 ないし第 4 レジスタが第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、第 2 レジスタグループの第 1 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ第 3 レジスタグループの第 1 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、第 2 レジスタグループの第 2 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ第 3 レジスタグループの第 2 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、第 2 レジスタグループの第 3 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ第 3 レジスタグループの第 3 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続され、第 2 レジスタグループの第 4 レジスタの第 0 記憶領域ないし第 3 記憶領域が所定の接続線によってそれぞれ第 3 レジスタグループの第 4 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続されている。

【 0 0 1 0 】

また、請求項 6 の発明は、画像入力装置内において撮像素子によって撮像され

た 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、単位画像信号が所定の単位色配列を形成する複数の成分のうちの 1 成分であり、第 1 記憶手段の各記憶領域に記憶された単位画像信号の配列を、単位色配列を保ちつつ右に 90° または左に 90° 回転させる回転変換を行って第 2 記憶手段の各記憶領域に記憶するように、第 1 記憶手段の各記憶領域と第 2 記憶手段の各記憶領域とが互いに所定の接続線で直接接続されている。

【0011】

また、請求項 7 の発明は、請求項 6 に記載の画像入力装置における信号処理回路において、回転変換が右にのみ 90° 回転させるものであり、単位色配列が 1 つの輝度成分と水平または垂直方向における配置の周波数が輝度成分の $1/2$ である 2 つの色成分とからなるものであり、第 1 記憶手段として第 1 レジスタグループを、第 2 記憶手段として第 2 レジスタグループを備え、当該第 1 および第 2 レジスタグループがそれぞれ第 1 および第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが、輝度成分および 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、第 1 レジスタグループの第 1 レジスタの第 0 記憶領域が所定の接続線によって第 2 レジスタグループの第 2 レジスタの第 0 記憶領域に直接接続され、第 1 レジスタグループの第 1 レジスタの第 2 記憶領域が所定の接続線によって第 2 レジスタグループの第 1 レジスタの第 0 記憶領域に直接接続され、第 1 レジスタグループの第 2 レジスタの第 0 記憶領域が所定の接続線によって第 2 レジスタグループの第 2 レジスタの第 2 記憶領域に直接接続され、第 1 レジスタグループの第 2 レジスタの第 1 記憶領域が所定の接続線によって第 2 レジスタグループの第 1 レジスタの第 1 記憶領域および第 2 レジスタグループの第 2 レジスタの第 1 記憶領域に直接接続され、第 1 レジスタグループの第 2 レジスタの第 2 記憶領域が所定の接続線によって第 2 レジスタグループの第 1 レジスタの第 2 記憶領域に直接接続され、第 1 レジスタグループの第 2 レジスタの第 3 記憶領域が所定の接続線によって第 2 レジスタグループの第 1 レジスタの第 3 記憶領域および第 2 レジスタグループの第 2 レジスタの第 3 記憶領域に直接接続されている。

【 0 0 1 2 】

また、請求項 8 の発明は、請求項 6 に記載の画像入力装置における信号処理回路において、回転変換が左にのみ 90° 回転させるものであり、単位色配列が 1 つの輝度成分と水平または垂直方向における配置の周波数が輝度成分の $1/2$ である 2 つの色成分とからなるものであり、第 1 記憶手段として第 1 レジスタグループを、第 2 記憶手段として第 2 レジスタグループを備え、当該第 1 および第 2 レジスタグループがそれぞれ第 1 および第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが、輝度成分および 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、第 1 レジスタグループの第 1 レジスタの第 0 記憶領域が所定の接続線によって第 2 レジスタグループの第 1 レジスタの第 2 記憶領域に直接接続され、第 1 レジスタグループの第 1 レジスタの第 2 記憶領域が所定の接続線によって第 2 レジスタグループの第 2 レジスタの第 2 記憶領域に直接接続され、第 1 レジスタグループの第 2 レジスタの第 0 記憶領域が所定の接続線によって第 2 レジスタグループの第 1 レジスタの第 0 記憶領域に直接接続され、第 1 レジスタグループの第 2 レジスタの第 1 記憶領域が所定の接続線によって第 2 レジスタグループの第 1 レジスタの第 1 記憶領域および第 2 レジスタグループの第 2 レジスタの第 1 記憶領域に直接接続され、第 1 レジスタグループの第 2 レジスタの第 2 記憶領域が所定の接続線によって第 2 レジスタグループの第 2 レジスタの第 0 記憶領域に直接接続され、第 1 レジスタグループの第 2 レジスタの第 3 記憶領域が所定の接続線によって第 2 レジスタグループの第 1 レジスタの第 3 記憶領域および第 2 レジスタグループの第 2 レジスタの第 3 記憶領域に直接接続されている。

【 0 0 1 3 】

また、請求項 9 の発明は、画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える記憶手段を備え、単位画像信号が所定の単位色配列を形成する複数の成分のうちの 1 成分であり、さらに、所定の右回転命令信号の入力に応答して、記憶手段の各記憶領域に記憶された単位画像信号の配列を、単位色配列を保ちつつ右に 90° 回転させて記憶手段の各記憶領域に記憶させる右回転手段を備えてい

る。

【0014】

また、請求項10の発明は、請求項9に記載の画像入力装置における信号処理回路において、単位色配列が1つの輝度成分と水平または垂直方向における配置の周波数が輝度成分の $1/2$ である2つの色成分とからなるものであり、記憶手段としてレジスタグループを備え、当該レジスタグループが第1および第2レジスタを備えるとともに、当該第1および第2レジスタが、輝度成分および2つの色成分のそれぞれを記憶する第0ないし第3記憶領域をそれぞれ備えるものであって、右回転命令信号の入力に応答して右回転手段が、第1レジスタの第0記憶領域の単位画像信号を第2レジスタの第0記憶領域に記憶させ、第1レジスタの第2記憶領域の単位画像信号を第1レジスタの第0記憶領域に記憶させ、第2レジスタの第0記憶領域の単位画像信号を第2レジスタの第2記憶領域に記憶させ、第2レジスタの第1記憶領域の単位画像信号を第1レジスタの第1記憶領域および第2レジスタの第1記憶領域に記憶させ、第2レジスタの第2記憶領域の単位画像信号を第1レジスタの第2記憶領域に記憶させ、第2レジスタの第3記憶領域の単位画像信号を第1レジスタの第3記憶領域および第2レジスタの第3記憶領域に記憶させるものである。

【0015】

また、請求項11の発明は、画像入力装置内において撮像素子によって撮像された2次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える記憶手段を備え、単位画像信号が所定の単位色配列を形成する複数の成分のうちの1成分であり、さらに、所定の左回転命令信号の入力に応答して、記憶手段の各記憶領域に記憶された単位画像信号の配列を、単位色配列を保ちつつ左に 90° 回転させて記憶手段の各記憶領域に記憶させる左回転手段を備えている。

【0016】

また、請求項12の発明は、請求項11に記載の画像入力装置における信号処理回路において、単位色配列が1つの輝度成分と水平または垂直方向における配置の周波数が輝度成分の $1/2$ である2つの色成分とからなるものであり、記憶

手段としてレジスタグループを備え、当該レジスタグループが第 1 および第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが、輝度成分および 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、左回転命令信号の入力に応答して左回転回路が、第 1 レジスタの第 0 記憶領域の単位画像信号を第 1 レジスタの第 2 記憶領域に記憶させ、第 1 レジスタの第 2 記憶領域の単位画像信号を第 2 レジスタの第 2 記憶領域に記憶させ、第 2 レジスタの第 0 記憶領域の単位画像信号を第 1 レジスタの第 0 記憶領域に記憶させ、第 2 レジスタの第 1 記憶領域の単位画像信号を第 1 レジスタの第 1 記憶領域および第 2 レジスタの第 1 記憶領域に記憶させ、第 2 レジスタの第 2 記憶領域の単位画像信号を第 2 レジスタの第 0 記憶領域に記憶させ、第 2 レジスタの第 3 記憶領域の単位画像信号を第 1 レジスタの第 3 記憶領域および第 2 レジスタの第 3 記憶領域に記憶させるものである。

【 0 0 1 7 】

また、請求項 1 3 の発明は、画像入力装置内において撮像素子によって撮像された 2 次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、単位画像信号が所定の単位色配列を形成する複数の成分のうちの 1 成分であり、第 1 記憶手段において第 1 の単位色配列を形成するように各記憶領域に記憶された各単位画像信号を第 2 の単位色配列に変換して第 2 記憶手段の各記憶領域に記憶するように、第 1 記憶手段の各記憶領域と第 2 記憶手段の各記憶領域とが互いに所定の接続線で直接接続されている。

【 0 0 1 8 】

さらに、請求項 1 4 の発明は、請求項 1 3 に記載の画像入力装置における信号処理回路において、第 1 および第 2 の単位色配列がそれぞれ 1 つの輝度成分と水平または垂直方向における配置の周波数が輝度成分の $1/2$ である 2 つの色成分とからなるものであり、第 1 記憶手段として第 1 レジスタを、第 2 記憶手段として第 2 レジスタを備えるとともに、当該第 1 および第 2 レジスタが輝度成分および 2 つの色成分のそれぞれを記憶する第 0 ないし第 3 記憶領域をそれぞれ備えるものであって、第 1 レジスタの第 0 記憶領域が所定の接続線によって第 2 レジス

タの第0記憶領域に直接接続され、第1レジスタの第1記憶領域が所定の接続線によって第2レジスタの第2記憶領域に直接接続され、第1レジスタの第2記憶領域が所定の接続線によって第2レジスタの第1記憶領域に直接接続され、第1レジスタの第3記憶領域が所定の接続線によって第2レジスタの第3記憶領域に直接接続されている。

【0019】

【発明の実施の形態】

以下、この発明の実施の形態を図面に基づいて説明する。

【0020】

<1. 第1の実施の形態>

図1はこの発明の一の実施の形態に係るデジタルスチルカメラを示す図である。このデジタルスチルカメラは、図1の如く、CCD（撮像素子）21で撮像した画像をアナログ信号処理回路22で取り込んでA/D変換し、このデジタル化された画像についての画素補間、色変換、輪郭強調処理、フィルタリング及び間引き処理等の所定の一般画像処理をリアルタイムプロセッシングユニット（RPU）23でリアルタイム処理（実時間処理）にて高速に実行すると共に、回転、鏡映、色配列変換、JPEG圧縮処理等を含む例外的画像処理をCPU（中央制御部）24および本発明の信号処理回路に相当するコプロセッサ25で実行した後、外部インターフェース（I/F）26を通じて所定の処理装置（パーソナルコンピュータ）等に出力し、併せて、当該画像をディスプレイ駆動回路27aを通じてファインダーとしてのLCD27に表示し、またDRAMまたはSDRAM等の一般的な主メモリ29等に格納するようになっている。この際、ファインダー（LCD27）への画像供給に関しては若干の解像度を落とすなどの所定の処理をリアルタイムプロセッシングユニット23で行った後、次々と画像を出力することで、ファインダー27での画像表示を行うが、操作部28における図示しない撮像釦等が操作者によって押操作されたときには、主メモリ29内の詳細な画像をメモリカード30等の記録装置（Storage Media）に一気に格納するようになっている。

【0021】

そして、アナログ信号処理回路22を通じて与えられた画像については、リアルタイム処理を行う場合は途中の画素配列データを主メモリ29に蓄えずにRPU23で直接的に処理を行う一方、リアルタイム処理を行わない場合には、操作者の操作部28を通じての各種画像処理命令（後述する右回転命令および左回転命令を含む）により上記の回転、鏡映、色配列変換、JPEG圧縮処理等の処理がCPU24およびコプロセッサ25で施されて一旦主メモリ29の図示しないCCDデータバッファ（CCD Data Buffer）に画素配列データとして蓄えられ、その画素配列データを再度ダイレクトメモリアクセス（DMA）でリアルタイムプロセッシングユニット23に入力してやることで、高速に処理を行うようになっていく。ここで、CPU24は内部に32ビット長のレジスタを有し、32ビット（1ワード）単位でデータ処理を行うものとなっているとともに、上記のリアルタイムに行わない処理のうち、回転、鏡映、色配列変換処理についてはCPU24におけるソフトウェアによる処理ではなく、後に詳述するこれらの処理専用の回路を備えるコプロセッサ25によって高速かつ低消費電力に行われる。

【0022】

また、リアルタイムプロセッシングユニット23、CPU24、外部インターフェース26等は、主メモリ29、メモ리카ード30及びJPEG処理部31とともにメインバスMBにバス接続されており、これらのデータ相互の受け渡しに際してCPU24の負荷を低減すべく、このCPU24を介さずにダイレクトメモリアクセス（DMA）コントローラ32の制御に基づいて各要素間のメインバスMBを通じたデータの授受を行っている。

【0023】

なお、図1中の符号30aはオートフォーカス機能付きのレンズや絞り機構等を有する光学機構、符号30bはストロボ、符号30cはCCD21を駆動するCCD駆動回路、符号30dはリアルタイムプロセッシングユニット23及びCCD駆動回路30c等の動作タイミングを規律するためのタイミングジェネレータ（TG）、符号30eはPLL発信回路をそれぞれ示している。

【0024】

つぎに、この発明の主要部であるコプロセッサ25について説明する。図2は第1の実施の形態におけるコプロセッサ25のレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。図示のようにこのコプロセッサ25は、この発明の記憶手段に相当するレジスタグループRG1～RG3を備えている。そして、各レジスタグループはそれぞれ4つの記憶素子に相当するレジスタを備えている。すなわち、レジスタグループRG1～RG3はそれぞれレジスタR1～R4を備えている。さらに、各レジスタR1～R4はそれぞれ32ビットすなわち1ワード（4バイト）のレジスタである。

【0025】

そして、このデジタルカメラでは画素単位の画像データは8ビット（1バイト）で表わされた単色の階調信号であり、各レジスタは第0～第3バイトB3に8ビット（1バイト）ずつ、すなわち、レジスタ内の各ビットを第0ビット～第31ビットと呼ぶとき、第0～第7ビット、第8～第15ビット、第16～第23ビットおよび第24～第31ビットをそれぞれ第0バイトB0、第1バイトB1、第2バイトB2および第3バイトB3と呼び、それら各バイトに1画素ずつ画像データ（この発明の単位画像信号に相当）が読み込まれる。すなわち、各レジスタグループRG1～RG3それぞれの各レジスタR1～R4内において、単位となる1画素の画像データと同じビット数の領域に各画素の画像データが記憶されるようになっている。

【0026】

なお、各レジスタグループRG1～RG3それぞれの各レジスタR1～R4は、CPU24から画像データを読み込んだり、逆にCPU24に出力したりするために、それぞれ直接CPU24に電氣的に接続されている。これによりレジスタグループRG1～RG3の各レジスタR1～R4の各バイトB0～B3はCPU24を介して間接的に主メモリ29に接続されている。

【0027】

また、レジスタグループRG1とRG2およびRG2とRG3の各レジスタR1～R4の第0～第3バイトB3は以下に示すように互いに所定の接続線で電気

的に直接接続されている。すなわち、レジスタグループRG1のすべてのレジスタの第0バイトB0がレジスタグループRG2のレジスタR4の第0バイトB0から第3バイトB3に接続され、レジスタグループRG1のすべてのレジスタの第1バイトB1がレジスタグループRG2のレジスタR3の第0バイトB0から第3バイトB3に接続され、レジスタグループRG1のすべてのレジスタの第2バイトB2がレジスタグループRG2のレジスタR2の第0バイトB0から第3バイトB3に接続され、レジスタグループRG1のすべてのレジスタの第3バイトB3がレジスタグループRG2のレジスタR1の第0バイトB0から第3バイトB3に接続されている。また、レジスタグループRG2のレジスタR1の第0バイトB0から第3バイトB3がそれぞれレジスタグループRG3のレジスタR1の第3バイトB3から第0バイトB0に接続され、レジスタグループRG2のレジスタR2の第0バイトB0から第3バイトB3がそれぞれレジスタグループRG3のレジスタR2の第3バイトB3から第0バイトB0に接続され、レジスタグループRG2のレジスタR3の第0バイトB0から第3バイトB3がそれぞれレジスタグループRG3のレジスタR3の第3バイトB3から第0バイトB0に接続され、レジスタグループRG2のレジスタR4の第0バイトB0から第3バイトB3がそれぞれレジスタグループRG3のレジスタR4の第3バイトB3から第0バイトB0に接続されている。

【0028】

このように各レジスタグループは接続されているため、以下に示すように、各レジスタグループ間で画像データを転送することにより、画像に対して右90°回転、左90°回転および画像について左右方向（水平方向）の鏡映といった画像処理を高速に行うものとなっている。

【0029】

図3は第1の実施の形態におけるコプロセッサ25による回転処理を説明するための図であり、図3(a)～(c)は右90°回転の様子を示す図、図3(d)～図3(f)は左90°回転の様子を示す図である。まず、主メモリ29に図3(a)のように記憶された4ワードの画像データがCPU24を介してレジスタグループRG2に図3(b)のように読み込まれる。すなわち、レジスタグル

ープRG2のレジスタR1~R4の各バイトB0~B3は図示しないが、CPU24を介して主メモリと、画像データが上下方向（垂直方向）に鏡映するように接続されている。そして、レジスタグループRG2の画像データはレジスタグループRG1に図3（c）のように転送される。この図3（a）と（c）とを比較すると4ワード分の画像が右に90°回転していることが分かる。そして、レジスタグループRG1から画像データを出力すると右に90°回転した画像データが得られるのである。

【0030】

同様に、主メモリ29に図3（d）のように記憶された4ワードの画像データがCPU24を介してレジスタグループRG3に図3（e）のように読み込まれ、レジスタグループRG2を介してレジスタグループRG1に転送され、図3（f）のような配列になる。この図3（e）および（f）を比較すると4ワード分の画像が左に90°回転していることが分かる。そして、レジスタグループRG1から画像データを出力すると左に90°回転した画像データが得られるのである。

【0031】

図4は第1の実施の形態におけるコプロセッサ25による鏡映処理を説明するための図である。まず、主メモリに図4（a）のように記憶された4ワードの画像データがレジスタグループRG3に図4（b）のように読み込まれ、レジスタグループRG2に図4（c）のように転送される。この図4（a）と（c）とを比較すると4ワード分の画像が縦方向の中心線CL（各レジスタの第1バイトB1と第2バイトB2を貫く線）を軸として左右方向に鏡映していることが分かる。そして、レジスタグループRG2から画像データを出力すると左右方向に鏡映した画像が得られるのである。

【0032】

なお、図1から分かるように各レジスタグループの各レジスタの各バイトからは接続線が1本ずつ出ている。すなわち、1つのレジスタグループの1つのレジスタの各バイトは接続線に接続されることによって他のレジスタグループの1つのレジスタに対応して、すべて、一対一対応している。これにより、レジスタグ

ループRG1～RG3のうちのいずれの2つのレジスタグループ間の画像データの転送も可逆である。したがって、レジスタグループRG2からレジスタグループRG1への転送も、レジスタグループRG3からレジスタグループRG2への転送も行うことができ、さらには、レジスタグループRG3からレジスタグループRG2を介したレジスタグループRG1への転送も行うことができる。これによって、それぞれ、上述の変換の逆変換、すなわち、レジスタグループRG2からレジスタグループRG1への転送によって左90°回転を、レジスタグループRG2からレジスタグループRG3への転送によっても中心線CLを軸とした鏡映を、レジスタグループRG3からレジスタグループRG2を介したレジスタグループRG1への転送によって右90°回転を行うことができる。

【0033】

さらに、上下方向の鏡映、すなわち、各レジスタグループRGのレジスタR2とR3との間に当たる画像中の水平方向の直線を対称軸として鏡映を行う場合は、回路構成によって実現する場合と速度的に大差ないので、CPU24においてソフトウェアで実現している。なお、このような上下方向の鏡映についても2つのレジスタグループ間を所定の接続線で電氣的に接続して、それらレジスタグループ間で画像データを転送することによって容易に実現することができる。

【0034】

また、このコプロセッサ25では画素単位でまとめられた色を構成する複数の成分を有する画像データを、成分単位で複数の画素の画像データを合併した画像データにしたり、逆に、合併された画像データを複数の成分を有する画素単位の画像データに分離したりすることができる。

【0035】

図5は第1の実施の形態による色データの合併および分離の様子を説明するための図である。2画素が32ビットで表わされる複合画素データとその複合画素データの後述する単位色配列における各成分ごとの32ビットの画像データとの間でデータ形式を変換する色データの合併や分離を示している。ここで扱う複合画素データとは、単位となる2画素を表現する32ビットのカラー画像データであって、色を表わす1群の複数の成分の単位となる配列である単位色配列を有し

、その単位色配列が1つの輝度成分（Y成分）と水平または垂直方向における配置の周波数が輝度成分の $1/2$ （データ数が半分）である2つの色成分とからなるものである。第1の実施の形態では、水平方向に各成分が配列される形式の単位画素データを用いており、2画素を表現する画像データとして8ビットからなるY成分が2画素分と、それら2画素に共通のそれぞれ8ビットからなるC_y成分（青成分から輝度成分を引いた色差信号）およびC_b成分（赤成分から輝度成分を引いた色差信号）とを併せて32ビットの複合画素データとしている。そして、このような複合画素データを各成分ごとにまとめた32ビットの画像データに変換するのである。

【0036】

なお、この色を構成する成分の合併および分離処理では上記複合画素データを各レジスタグループRG2およびRG1それぞれの各レジスタR1～R4に記憶するものとなっている。すなわち、各レジスタグループRG1、RG2それぞれの各レジスタR1～R4内において、この発明の単位画像信号に相当する単位となる1つの成分の画像データ（この例ではYまたはC_bまたはC_r成分）と同じビット数の記憶領域（第0～第3バイト）に各成分データを記憶する。

【0037】

図5（a）に示すように、Y、C_b、Y、C_rの各成分の画像データをレジスタグループRG2のレジスタR1～R4に読み込み、レジスタグループRG1に転送することによって、レジスタグループRG1のレジスタR1～R4にそれぞれ画素単位に合併された画像データが生成される。逆に、Y、C_b、Y、C_rの各成分を有する2画素単位の画像データをレジスタグループRG2のレジスタR1～R4に読み込み、レジスタグループRG1に転送することによって、レジスタグループRG1のレジスタR1～R4にそれぞれ4画素分のY、C_b、Y、C_rの各成分に分離された画像データが生成される。これは、前述の右90°回転および左90°回転の機能を用いて色データの合併および分離を行うことができることを示している。

【0038】

なお、このコプロセッサ25の変換処理は前述のように可逆であるので、逆に

レジスタグループRG1に上記のような画像データを読み込んで、レジスタグループRG2に転送しても、画像データの色を構成する成分についての分離および合併を行うことができる。

【0039】

以上説明したように、第1の実施の形態によれば、レジスタグループRG1～RG3において、単位となる画像データと同じビット数（1バイト）の記憶領域、すなわち各レジスタR1～R4の各バイトが上述のような接続関係で互いに直接接続されているので、各レジスタグループRG1～RG3間の画像データの転送により右90°回転、左90°回転、中心線に対する左右方向の鏡映およびカラー画像データの成分の合併および分離を行うことができる。そのため、CPU24においてソフトウェアによってこれらの処理を行う場合には単位となる画像データを8ビットから32ビットに変換する必要があるのに対して、第1の実施の形態では単位となる画像データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【0040】

<2. 第2の実施の形態>

第2の実施の形態では図1で示した第1の実施の形態の装置構成とコプロセッサ25以外は全く同様の構成となっており、そして、このコプロセッサ25はCPU24から与えられた画像データを右90°回転するものとなっている。以下、このコプロセッサ25の構造および処理について説明する。

【0041】

図6は第2の実施の形態におけるコプロセッサ25のレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。第2の実施の形態におけるコプロセッサ25は第1の実施の形態におけるレジスタグループRG1～RG3と同様の32ビットのレジスタを4つずつ備えるレジスタグループRG4およびRG5を備えている。ただし、第2の実施の形態ではレジスタグループRG4とRG5においてレジスタR1およびR2とレジスタR3およびR4とは全く同じ接続関係になっているので、レジスタR1およびR2のみについて代表的に図示し

ている。

【0042】

そして、第2の実施の形態では2画素が32ビット（例えばYCbCrの色配列で各成分が8ビット）で表現される複合画素データ（ビデオデータ）を各レジスタグループRG4、RG5それぞれの各レジスタR1～R4に記憶するものとなっている。なお、ここで扱う複合画素データは第1の実施の形態における複合画素データと同様のものである。そして、各レジスタグループRG4、RG5それぞれの各レジスタR1～R4内において、この発明の単位画像信号に相当する単位となる1つの成分の画像データ（上記の例ではYまたはCbまたはCr成分）と同じビット数の記憶領域（第0～第3バイト）に各成分データが記憶されるようになっている。

【0043】

さらに、レジスタグループRG4およびRG5のレジスタR1およびR2（R3およびR4）の各バイトは以下に示すように互いに所定の接続線により電氣的に直接接続されている。すなわち、レジスタグループRG4のレジスタR1の第0バイトB0とレジスタグループRG5のレジスタR2の第0バイトB0とが、レジスタグループRG4のレジスタR1の第2バイトB2とレジスタグループRG5のレジスタR1の第0バイトB0とが、レジスタグループRG4のレジスタR2の第0バイトB0とレジスタグループRG5のレジスタR2の第2バイトB2とが、レジスタグループRG4のレジスタR2の第1バイトB1とレジスタグループRG5のレジスタR1の第1バイトB1及びレジスタグループRG5のレジスタR2の第1バイトB1とが、レジスタグループRG4のレジスタR2の第2バイトB2とレジスタグループRG5のレジスタR1の第2バイトB2とが、レジスタグループRG4のレジスタR2の第3バイトB3とレジスタグループRG5のレジスタR1の第3バイトB3及びレジスタグループRG5のレジスタR2の第3バイトB3とが、それぞれ接続されている。

【0044】

図7は第2の実施の形態におけるコプロセッサ25による右回転処理を説明するための図である。前述のようにレジスタR1およびR2とレジスタR3および

R4 とが同じ接続であるのは、2 レジスタ分すなわち 16 ビット単位のビデオデータで表わされる 4 画素についての右 90° の回転を 8 画素に対して並列に行っていることを意味している。そのため、以下、代表してレジスタ R3 および R4 における回転について説明する。なお、図 7 の各レジスタの各バイト内の記号は前述の各成分 (Y, Cb, Y, Cr 成分) を表わしており、その後ろの数字は 8 個の画素 (第 0 ~ 第 7 画素) のいずれであるかを表わしている。

【0045】

まず、レジスタ R3 および R4 のうち、Y 成分が記憶された第 0 バイト B0 および第 2 バイト B2 のみに注目してみると、レジスタグループ RG4 から RG5 へのデータ転送により、Y0 ~ Y3 は回転されて Y0 は元の Y1 の位置に、Y1 は元の Y3 の位置に、Y2 は元の Y0 の位置に、Y3 は元の Y2 の位置にそれぞれ移動している。また、Cb 成分、Cr 成分については Y, Cb, Y, Cr 成分の配列を崩さないために各レジスタの第 1 バイト B1 に Cb 成分が、第 3 バイト B3 に Cr 成分が位置する必要があるため、最初にレジスタ R4 の第 1 バイト B1 および第 3 バイト B3 に記憶されていた Cb0 および Cr1 をそのままレジスタ R3 にコピーしている。以上から、この変換で複合画素データが右 90° 回転していることが分かる。なお、レジスタ R1 および R2 においても同様である。

【0046】

以上説明したように、第 2 の実施の形態によれば、レジスタグループ RG4 および RG5 において、単位となる 1 つの成分データと同じビット数 (1 バイト) の記憶領域、すなわち各レジスタ R1 ~ R4 の各バイトが上述のような接続関係で互いに直接接続されているので、各レジスタグループ RG4 および RG5 間の画像データの転送によりビデオデータの右 90° 回転を行うことができるので、CPU24 においてソフトウェアによってこれらの処理を行う場合と比べて、単位となる色を構成する各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【0047】

< 3. 第 3 の実施の形態 >

第3の実施の形態でも図1で示した第1の実施の形態の装置構成とコプロセッサ25以外は全く同様の構成となっており、そして、このコプロセッサ25はCPU24から与えられた画像データを左90°回転するものとなっている。以下、このコプロセッサ25の構造および処理について説明する。

【0048】

図8は第3の実施の形態におけるコプロセッサ25のレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。第3の実施の形態におけるコプロセッサ25は第2の実施の形態におけるレジスタグループRG4、RG5と同様の構成のレジスタグループRG6およびRG7を備えている。また、第2の実施の形態と同様に、レジスタグループRG6とRG7においてレジスタR1およびR2とレジスタR3およびR4とは全く同じ接続関係になっているので、レジスタR1およびR2のみについて代表的に図示している。

【0049】

そして、第3の実施の形態では2画素が32ビット（例えばYCbYCrの色配列で各成分が8ビット）で表現される複合画素データ（ビデオデータ）を各レジスタグループRG6、RG7それぞれの各レジスタR1～R4に記憶するものとなっている。なお、ここで扱う複合画素データは第1の実施の形態における複合画素データと同様のものである。そして、各レジスタグループRG6、RG7それぞれの各レジスタR1～R4内において、この発明の単位画像信号に相当する単位となる1つの成分の画像データ（上記の例ではYまたはCbまたはCr成分）と同じビット数の記憶領域（第0～第3バイト）に各成分データが記憶されるようになっている。

【0050】

また、レジスタグループRG6およびRG7の各レジスタの各バイトが以下に示すように互いに所定の接続線によって電氣的に直接接続されている。すなわち、レジスタグループRG6のレジスタR1の第0バイトB0とレジスタグループRG7のレジスタR1の第2バイトB2とが、レジスタグループRG6のレジスタR1の第2バイトB2とレジスタグループRG7のレジスタR2の第2バイトB2とが、レジスタグループRG6のレジスタR2の第0バイトB0とレジスタ

グループRG7のレジスタR1の第0バイトB0とが、レジスタグループRG6のレジスタR2の第1バイトB1とレジスタグループRG7のレジスタR1の第1バイトB1及びレジスタグループRG7のレジスタR2の第1バイトB1とが、レジスタグループRG6のレジスタR2の第2バイトB2とレジスタグループRG7のレジスタR2の第0バイトB0とが、レジスタグループRG6のレジスタR2の第3バイトB3とレジスタグループRG7のレジスタR1の第3バイトB3及びレジスタグループRG7のレジスタR2の第3バイトB3とが、接続されている。

【0051】

図9は第3の実施の形態におけるコプロセッサ25による左回転処理を説明するための図である。第3の実施の形態では、第2の実施の形態と同様の複合画素データ（ビデオデータ）を左90°回転するものとなっている。第2の実施の形態と同様にレジスタR3およびR4のうち、Y成分が記憶された第0バイトB0および第2バイトB2のみに注目してみると、レジスタグループRG6からRG7へのデータ転送により、明らかに左90°回転していることが分かる。また、Cb成分、Cr成分については第2の実施の形態と同様である。また、レジスタR1およびR2においても同様である。

【0052】

以上説明したように、第3の実施の形態によれば、レジスタグループRG6およびRG7において、単位となる1つの成分データと同じビット数（1バイト）の記憶領域、すなわち各レジスタR1～R4の各バイトが上述のような接続関係で互いに直接接続されているので、各レジスタグループRG4およびRG5間の画像データの転送によりビデオデータの左90°回転を行うことができるので、CPU24においてソフトウェアによってこれらの処理を行う場合と比べて、単位となる各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【0053】

<4. 第4の実施の形態>

第4の実施の形態でも図1で示した第1の実施の形態の装置構成とコプロセッサ25以外は全く同様の構成となっており、そして、このコプロセッサ25はCPU24から与えられた画像データを所定の右回転命令の入力に従い、第2の実施の形態と全く同様に右90°回転するものとなっている。以下、このコプロセッサ25の構造および処理について説明する。

【0054】

図10は第4の実施の形態におけるコプロセッサ25のレジスタグループおよびそれらにおけるレジスタ間の接続関係を模式的に示す図である。第4の実施の形態におけるコプロセッサ25は第2の実施の形態におけるレジスタグループRG4、RG5と同様のレジスタR1～R4からなるレジスタグループRG8を備えている。すなわち、レジスタグループを1つ備えるのみである。なお、図10では説明上、本来1つのレジスタグループRG8を2つ並べて図示している。

【0055】

また、第4の実施の形態でも2画素が32ビット（例えばYCbCrの色配列で各成分が8ビット）で表現される複合画素データ（ビデオデータ）をレジスタグループRG8の各レジスタR1～R4に記憶するものとなっている。なお、ここで扱う複合画素データは第1の実施の形態における複合画素データと同様のものである。そして、各レジスタR1～R4内において、この発明の単位画像信号に相当する単位となる1つの成分の画像データ（上記の例ではYまたはCbまたはCr成分）と同じビット数の記憶領域（第0～第3バイト）に各成分データが記憶されるようになっている。

【0056】

そして、レジスタグループRG8のレジスタR1およびR2の各バイトが以下に示すように互いに所定の接続線（この発明の右回転手段に相当）により電氣的に直接接続されており、また、第2の実施の形態と同様に、レジスタR1およびR2とレジスタR3およびR4とは全く同じ接続関係になっている。すなわち、レジスタR1の第0バイトB0がレジスタR2の第0バイトB0に、レジスタR1の第2バイトB2がレジスタR1の第0バイトB0に、レジスタR2の第0バイトB0がレジスタR2の第2バイトB2に、レジスタR2の第1バイトB1が

レジスタ R 1 の第 1 バイト B 1 及びレジスタ R 2 の第 1 バイト B 1 に、レジスタ R 2 の第 2 バイト B 2 がレジスタ R 1 の第 2 バイト B 2 に、レジスタ R 2 の第 3 バイト B 3 がレジスタ R 1 の第 3 バイト B 3 及びレジスタ R 2 の第 3 バイト B 3 に、それぞれ接続されている。

【 0 0 5 7 】

さらに、レジスタグループ R G 8 の各レジスタ R 1 ~ R 4 の各バイトは図示しないセクタによって C P U 2 4 からの画像データの入力と上記レジスタグループ R G 8 内からの画像データの入力とを切り替えることができるようになっている。

【 0 0 5 8 】

上記のようにレジスタ R 1 および R 2（同様に R 3 および R 4）が接続されているため、C P U 2 4 から画像データが読み込まれた後、操作者が操作部を通じて右回転命令を入力すると、その信号はセクタに入力され、それによりレジスタグループ R G 8 の入力がレジスタ R 1 ~ R 4 どちらの入力に切り替えられ、画像データの転送が行われる。具体的には以下のように転送される。すなわち、レジスタ R 1 の第 0 バイト B 0 からレジスタ R 2 の第 0 バイト B 0 に、レジスタ R 1 の第 2 バイト B 2 からレジスタ R 1 の第 0 バイト B 0 に、レジスタ R 2 の第 0 バイト B 0 からレジスタ R 2 の第 2 バイト B 2 に、レジスタ R 2 の第 1 バイト B 1 からレジスタ R 1 の第 1 バイト B 1 及びレジスタ R 2 の第 1 バイト B 1 に、レジスタ R 2 の第 2 バイト B 2 からレジスタ R 1 の第 2 バイト B 2 に、レジスタ R 2 の第 3 バイト B 3 からレジスタ R 1 の第 3 バイト B 3 及びレジスタ R 2 の第 3 バイト B 3 に、それぞれ転送され記憶される。

【 0 0 5 9 】

図 1 1 は第 4 の実施の形態におけるコプロセッサ 2 5 による右回転処理を説明するための図である。図示のように、2 画素が 3 2 ビット（Y 成分，C b 成分，Y 成分，C r 成分で 1 単位）で表現される複合画素データ（ビデオデータ）が、上記のようなレジスタ間の転送により第 2 の実施の形態と同様に右 9 0 ° 回転されて記憶されていることが分かる。また、この結果からも分かるように、第 4 の実施の形態では右 9 0 ° 回転された複合画素データを同一のレジスタグループ R

G 8 に戻して記憶している。

【 0 0 6 0 】

以上説明したように、第 4 の実施の形態によれば、レジスタグループ R G 8 において、単位となる 1 つの成分データと同じビット数（1 バイト）の記憶領域、すなわち各レジスタ R 1 ～ R 4 の各バイトが上述のような接続関係で互いに直接接続されているので、右回転命令の入力に応答して、各レジスタ R 1，R 2 または R 3，R 4 内で各バイト間の転送によりビデオデータの右 9 0° 回転を行うことができるので、C P U 2 4 においてソフトウェアによってこれらの処理を行う場合と比べて、単位となる各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【 0 0 6 1 】

< 5. 第 5 の実施の形態 >

第 5 の実施の形態でも図 1 で示した第 1 の実施の形態の装置構成とコプロセッサ 2 5 以外は全く同様の構成となっており、そして、このコプロセッサ 2 5 は C P U 2 4 から与えられた画像データを所定の左回転命令の入力に従い、第 3 の実施の形態と全く同様に左 9 0° 回転するものとなっている。以下、このコプロセッサ 2 5 の構造および処理について説明する。

【 0 0 6 2 】

図 1 2 は第 5 の実施の形態におけるコプロセッサ 2 5 のレジスタグループおよびそれらにおけるレジスタ間の接続関係を模式的に示す図である。第 5 の実施の形態におけるコプロセッサ 2 5 は第 4 の実施の形態におけるレジスタグループ R G 8 と同様のレジスタ R 1 ～ R 4 からなるレジスタグループ R G 9 を 1 つ備えるのみである。なお、図 1 2 では説明上、本来 1 つのレジスタグループ R G 9 を 2 つ並べて図示している。

【 0 0 6 3 】

また、第 5 の実施の形態でも 2 画素が 3 2 ビット（例えば Y C b Y C r の色配列で各成分が 8 ビット）で表現される複合画素データ（ビデオデータ）をレジスタグループ R G 9 の各レジスタ R 1 ～ R 4 に記憶するものとなっている。なお、

ここで扱う複合画素データは第 1 の実施の形態における複合画素データと同様のものである。そして、各レジスタ R 1 ~ R 4 内において、この発明の単位画像信号に相当する単位となる 1 つの成分の画像データ（上記の例では Y または C b または C r 成分）と同じビット数の記憶領域（第 0 ~ 第 3 バイト）に各成分データが記憶されるようになっている。

【 0 0 6 4 】

そして、レジスタグループ R G 9 のレジスタ R 1 および R 2 の各バイトが以下に示すように互いに所定の接続線（この発明の右回転手段に相当）により電氣的に直接接続されており、また、第 3 の実施の形態と同様に、レジスタ R 1 および R 2 とレジスタ R 3 および R 4 とは全く同じ接続関係になっている。すなわち、レジスタ R 1 の第 0 バイト B 0 がレジスタ R 1 の第 2 バイト B 2 に、レジスタ R 1 の第 2 バイト B 2 がレジスタ R 2 の第 2 バイト B 2 に、レジスタ R 2 の第 0 バイト B 0 がレジスタ R 1 の第 0 バイト B 0 に、レジスタ R 2 の第 1 バイト B 1 がレジスタ R 1 の第 1 バイト B 1 及びレジスタ R 2 の第 1 バイト B 1 に、レジスタ R 2 の第 2 バイト B 2 がレジスタ R 2 の第 0 バイト B 0 に、レジスタ R 2 の第 3 バイト B 3 がレジスタ R 1 の第 3 バイト B 3 及びレジスタ R 2 の第 3 バイト B 3 に、それぞれ接続されている。また、図示しないが第 4 の実施の形態と同様のセクタを備えている。

【 0 0 6 5 】

そして、上記のようにレジスタ R 1 および R 2 （同様に R 3 および R 4 ）が接続されているため、CPU 2 4 から画像データが読み込まれた後、作業者が操作スイッチを通じて左回転命令を入力すると、その信号はセクタに入力され、それによりレジスタグループ R G 9 の入力レジスタ R 1 ~ R 4 どのの入力に切り替えられ、画像データの転送が行われる。具体的には以下のように転送される。すなわち、レジスタ R 1 の第 0 バイト B 0 からレジスタ R 1 の第 2 バイト B 2 に、レジスタ R 1 の第 2 バイト B 2 からレジスタ R 2 の第 2 バイト B 2 に、レジスタ R 2 の第 0 バイト B 0 からレジスタ R 1 の第 0 バイト B 0 に、レジスタ R 2 の第 1 バイト B 1 からレジスタ R 1 の第 1 バイト B 1 及びレジスタ R 2 の第 1 バイト B 1 に、レジスタ R 2 の第 2 バイト B 2 からレジスタ R 2 の第 0 バイト B 0

に、レジスタ R 2 の第 3 バイト B 3 からレジスタ R 1 の第 3 バイト B 3 及びレジスタ R 2 の第 3 バイト B 3 に、それぞれ転送され記憶される。

【 0 0 6 6 】

図 1 3 は第 5 の実施の形態におけるコプロセッサ 2 5 による左回転処理を説明するための図である。図示のように、第 3 の実施の形態と同様に複合画素データ（ビデオデータ）が、上記のようなレジスタ間の転送により左 9 0 ° 回転されて記憶されていることが分かる。また、この結果からも分かるように、第 5 の実施の形態では左 9 0 ° 回転された複合画素データを同一のレジスタグループ R G 9 に戻して記憶している。

【 0 0 6 7 】

以上説明したように、第 5 の実施の形態によれば、レジスタグループ R G 9 において、単位となる 1 つの成分データと同じビット数（1 バイト）の記憶領域、すなわち各レジスタ R 1 ～ R 4 の各バイトが上述のような接続関係で互いに直接接続されているので、左回転命令の入力に応答して、各レジスタ R 1 , R 2 または R 3 , R 4 内で各バイト間の転送によりビデオデータの左 9 0 ° 回転を行うことができるので、CPU 2 4 においてソフトウェアによってこれらの処理を行う場合と比べて、単位となる各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【 0 0 6 8 】

< 6. 第 6 の実施の形態 >

第 6 の実施の形態でも図 1 で示した第 1 の実施の形態の装置構成とコプロセッサ 2 5 以外は全く同様の構成となっており、そして、このコプロセッサ 2 5 は CPU 2 4 から与えられた画像データを所定の右回転命令の入力に従い、第 3 の実施の形態と全く同様に右 9 0 ° 回転するものとなっている。以下、このコプロセッサ 2 5 の構造および処理について説明する。

【 0 0 6 9 】

図 1 4 は第 6 の実施の形態におけるコプロセッサ 2 5 のレジスタおよびそれらにおけるレジスタ間の接続を示す図である。第 6 の実施の形態におけるコプロセ

ッサ 25 は第 1 ～ 第 5 の実施の形態におけるレジスタと同様の 32 ビットのレジスタ R1 および R2 を備えている。

【0070】

また、第 6 の実施の形態でも 2 画素が 32 ビット（例えば YCrYCb や YYCrCb の色配列で各成分が 8 ビット）で表現される複合画素データ（ビデオデータ）を各レジスタ R1 および R2 に記憶するものとなっている。なお、ここで扱う複合画素データは第 1 の実施の形態における複合画素データと同様のものである。そして、各レジスタ R1 および R2 内において、この発明の単位画像信号に相当する単位となる 1 つの成分の画像データ（上記の例では Y または Cb または Cr 成分）と同じビット数の記憶領域（第 0 ～ 第 3 バイト）に各成分データが記憶されるようになっている。

【0071】

そして、レジスタ R1 および R2 の各バイトが以下に示すように互いに所定の接続線により電氣的に直接接続されている。すなわち、レジスタ R1 の第 0 バイト B0 とレジスタ R2 の第 0 バイト B0 とが、レジスタ R1 の第 1 バイト B1 とレジスタ R2 の第 2 バイト B2 とが、レジスタ R1 の第 2 バイト B2 とレジスタ R2 の第 1 バイト B1 とが、レジスタ R1 の第 3 バイト B3 とレジスタ R2 の第 3 バイト B3 とが、それぞれ接続されている。

【0072】

このような構成により、このコプロセッサ 25 は 2 画素が 32 ビットで表現される第一の色配列の複合画素データを 2 画素が 32 ビットで表現される第二の色配列の複合画素データに変換することができる。例えば、第一の色配列として YYCrCb で表されるフォーマットの複合画素データ（ビデオデータ）を、第二の色配列として YCrYCb で表されるフォーマットの複合画素データ（ビデオデータ）に変換することができることが図 14 から容易に理解できる。

【0073】

また、図 14 において、レジスタ R1 および R2 の各バイトは一対一に対応して接続されているため、上記の色配列の変換は可逆なものとなっている。上記のビデオデータの例では、レジスタ R2 に第 2 の色配列である YCrYCb 形式の

複合画素データを入力して、レジスタ R1 に転送することによって、レジスタ R1 において第 1 の色配列である Y Y C r C b 形式の複合画素データとして取り出すことができる。

【0074】

以上説明したように、第 6 の実施の形態によれば、レジスタ R1 および R2 において、単位となる 1 つの成分データと同じビット数（1 バイト）の記憶領域、すなわち各レジスタ R1 および R2 の各バイトが上述のような接続関係で互いに直接接続されているので、両レジスタ R1 および R2 それぞれの各バイト間の転送によりビデオデータの色配列の形式の変換を行うことができるので、CPU 24 においてソフトウェアによってその処理を行う場合と比べて、単位となる各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【0075】

<7. 変形例>

上記第 1 ～第 6 の実施の形態においてディジタルスチルカメラにおけるコプロセッサおよびそれによる画像処理の例を示したが、この発明はこれに限られるものではない。

【0076】

たとえば、上記第 1 ～第 6 の実施の形態では、画像入力装置としてディジタルカメラについて示したが、ディジタルビデオカメラ等のその他の画像入力装置においても上記第 1 ～第 6 の実施の形態と同様のコプロセッサを信号処理回路として用いることができる。

【0077】

また、上記第 1 ～第 6 の実施の形態では、この発明における記憶手段をレジスタまたはレジスタグループとしたが、SRAM や DRAM 等のメモリなどその他の記憶媒体に対してもこの発明を使用し得る。

【0078】

また、上記第 1 ～第 6 の実施の形態では、8 ビットを単位となる画像データの

データ長とし、コプロセッサ 25 における各レジスタを 32 ビットレジスタとしたが、例えば、16 ビットを単位となる画像データのデータ長とし、コプロセッサ 25 において 16 ビットレジスタで処理する等、単位となる画像データのデータ長の 2 以上の整数倍をレジスタの処理単位とすればよい。

【0079】

さらに、上記第 6 の実施の形態ではレジスタ R1 と R2 との間で複合画素データを転送することによって色配列を変換するものとしたが、第 4 および第 5 の実施の形態のように変換後の複合画素データを同一レジスタに格納するものとしてもよい。すなわち、レジスタ R1 において第 0 バイト B0 と第 0 バイト B0 とが、第 1 バイト B1 と第 2 バイト B2 とが、第 2 バイト B2 と第 1 バイト B1 とが、第 3 バイト B3 と第 3 バイト B3 とが、それぞれ接続され、さらに、画像データの CPU 24 からの入力とレジスタ R1 内での転送とを切替えるセレクタを備えるものとするのである。これにより、レジスタの容量を削減できる。

【0080】

【発明の効果】

以上説明したように、請求項 1 の発明によれば、単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、主メモリに記憶された単位画像信号を第 1 記憶手段の各記憶領域に転送し、さらに、それら単位画像信号を第 1 記憶手段の各記憶領域から第 2 記憶手段の各記憶領域に転送することによって、主メモリに記憶された単位画像信号の配列を右に 90° または左に 90° 回転させた状態で第 2 記憶手段の各記憶領域に記憶するように、第 1 記憶手段の各記憶領域と第 2 記憶手段の各記憶領域とが互いに接続されているため、単位画像信号のデータ長を変換することなく画像の回転処理が行えるので、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に処理を行うことができる。

【0081】

また、請求項 2 の発明によれば、単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、第 1 記憶手段の各記憶領域に記憶された単位画像信号の配列を、その配列の中心線で鏡映させて第 2 記憶手段の各記憶

領域に記憶するように、第 1 記憶手段の各記憶領域と第 2 記憶手段の各記憶領域とが互いに所定の接続線で直接接続されているため、単位画像信号のデータ長を変換することなく画像の鏡映処理が行えるので、高速かつ低消費電力に処理を行うことができる。

【 0 0 8 2 】

また、請求項 3 の発明によれば、単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 レジスタグループを備え、第 1 レジスタグループの第 1 ないし第 4 レジスタの第 0 記憶領域が第 2 レジスタグループの第 4 レジスタの第 0 記憶領域ないし第 3 記憶領域に、第 1 レジスタグループの第 1 ないし第 4 レジスタの第 1 記憶領域が第 2 レジスタグループの第 3 レジスタの第 0 記憶領域ないし第 3 記憶領域に、第 1 レジスタグループの第 1 ないし第 4 レジスタの第 2 記憶領域が第 2 レジスタグループの第 2 レジスタの第 0 記憶領域ないし第 3 記憶領域に、第 1 レジスタグループの第 1 ないし第 4 レジスタの第 3 記憶領域が第 2 レジスタグループの第 1 レジスタの第 0 記憶領域ないし第 3 記憶領域に、それぞれ直接接続されているので、主メモリに 2 次元的に配列して記憶された単位画像信号を、その配列に対して上下方向に鏡映するように第 2 レジスタグループに入力し、さらに第 1 レジスタグループに転送することによって、右 90° 回転処理を高速に行うことができ、単位画像信号のデータ長の変換が不要なので、高速かつ低消費電力に右 90° 回転処理を行うことができる。

【 0 0 8 3 】

また、請求項 4 の発明によれば、請求項 3 の発明に対して、さらに、単位画像信号と同じビット数の記憶領域を複数備える第 3 レジスタグループを備え、第 2 レジスタグループの第 1 レジスタの第 0 記憶領域ないし第 3 記憶領域がそれぞれ前記第 3 レジスタグループの第 1 レジスタの第 3 記憶領域ないし第 0 記憶領域に、第 2 レジスタグループの第 2 レジスタの第 0 記憶領域ないし第 3 記憶領域がそれぞれ前記第 3 レジスタグループの第 2 レジスタの第 3 記憶領域ないし第 0 記憶領域に、第 2 レジスタグループの第 3 レジスタの第 0 記憶領域ないし第 3 記憶領域がそれぞれ前記第 3 レジスタグループの第 3 レジスタの第 3 記憶領域ないし第 0 記憶領域に、第 2 レジスタグループの第 4 レジスタの第 0 記憶領域ないし第 3

記憶領域がそれぞれ前記第 3 レジスタグループの第 4 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続されているため、第 3 レジスタグループから第 2 レジスタグループに画像信号を転送することによって、単位画像信号のデータ長を変換することなく、高速かつ低消費電力に左 90° 回転処理を行うことができ、さらに、第 2 レジスタグループから第 1 レジスタグループに画像信号を転送することによって、単位画像信号のデータ長の変換が不要なので、高速かつ低消費電力に、第 3 レジスタグループへの入力に対する鏡映処理を行うことができる。

【0084】

また、請求項 5 の発明によれば、単位画像信号と同じビット数の記憶領域を複数備える第 2 および第 3 レジスタグループを備え、第 2 レジスタグループの第 1 レジスタの第 0 記憶領域ないし第 3 記憶領域がそれぞれ前記第 3 レジスタグループの第 1 レジスタの第 3 記憶領域ないし第 0 記憶領域に、第 2 レジスタグループの第 2 レジスタの第 0 記憶領域ないし第 3 記憶領域がそれぞれ前記第 3 レジスタグループの第 2 レジスタの第 3 記憶領域ないし第 0 記憶領域に、第 2 レジスタグループの第 3 レジスタの第 0 記憶領域ないし第 3 記憶領域がそれぞれ前記第 3 レジスタグループの第 3 レジスタの第 3 記憶領域ないし第 0 記憶領域に、第 2 レジスタグループの第 4 レジスタの第 0 記憶領域ないし第 3 記憶領域がそれぞれ前記第 3 レジスタグループの第 4 レジスタの第 3 記憶領域ないし第 0 記憶領域に直接接続されているため、第 3 レジスタグループに入力した画像信号を第 2 レジスタグループに転送することによって、単位画像信号のデータ長の変換が不要なので、高速かつ低消費電力に鏡映処理を行うことができる。

【0085】

また、請求項 6 および請求項 7 の発明によれば、複数の成分のうちの 1 成分に当たる単位画像信号と同じビット数の記憶領域を複数備える第 1 および第 2 記憶手段を備え、第 1 記憶手段の各記憶領域に記憶された単位画像信号の配列を、単位色配列を保ちつつ右に 90° または左に 90° 回転させて第 2 記憶手段の各記憶領域に記憶するように、第 1 記憶手段の各記憶領域と第 2 記憶手段の各記憶領域とが互いに所定の接続線で直接接続されているため、単位色配列を有する画像に対しても単位画像信号のデータ長の変換が不要なので、高速かつ低消費電力に

右90° または左90° 回転処理を行うことができる。

【0086】

また、請求項7の発明によれば、請求項6の発明において、第1レジスタグループの第1レジスタの第0記憶領域が第2レジスタグループの第2レジスタの第0記憶領域に、第1レジスタグループの第1レジスタの第2記憶領域が第2レジスタグループの第1レジスタの第0記憶領域に、第1レジスタグループの第2レジスタの第0記憶領域が第2レジスタグループの第2レジスタの第2記憶領域に、第1レジスタグループの第2レジスタの第1記憶領域が所定の接続線によって第2レジスタグループの第1レジスタの第1記憶領域および第2レジスタグループの第2レジスタの第1記憶領域に、第1レジスタグループの第2レジスタの第2記憶領域が第2レジスタグループの第1レジスタの第2記憶領域に、第1レジスタグループの第2レジスタの第3記憶領域が第2レジスタグループの第1レジスタの第3記憶領域および第2レジスタグループの第2レジスタの第3記憶領域に直接接続されているため、YCbYCr形式のビデオデータ等の単位色配列が1つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の1/2である2つの色成分とからなる画像信号に対しても単位画像信号のデータ長の変換が不要なので、右に90° 回転処理を高速かつ低消費電力に行うことができる。

【0087】

また、請求項8の発明によれば、請求項6の発明において、第1レジスタグループの第1レジスタの第0記憶領域が第2レジスタグループの第1レジスタの第2記憶領域に、第1レジスタグループの第1レジスタの第2記憶領域が第2レジスタグループの第2レジスタの第2記憶領域に、第1レジスタグループの第2レジスタの第0記憶領域が第2レジスタグループの第1レジスタの第0記憶領域に、第1レジスタグループの第2レジスタの第1記憶領域が第2レジスタグループの第1レジスタの第1記憶領域および第2レジスタグループの第2レジスタの第1記憶領域に、第1レジスタグループの第2レジスタの第2記憶領域が第2レジスタグループの第2レジスタの第0記憶領域に、第1レジスタグループの第2レジスタの第3記憶領域が第2レジスタグループの第1レジスタの第3記憶領域お

よび第2レジスタグループの第2レジスタの第3記憶領域に直接接続されているため、YCbYCr形式のビデオデータ等の単位色配列が1つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の1/2である2つの色成分とからなる画像信号に対して、左に90°回転処理を高速かつ低消費電力に行うことができる。

【0088】

また、請求項9および請求項10の発明によれば、複数の成分のうちの1成分である単位画像信号と同じビット数の記憶領域を複数備える記憶手段を備え、所定の右回転命令信号の入力に応答して、記憶手段の各記憶領域に記憶された単位画像信号の配列を、単位色配列を保ちつつ右に90°回転させて前記記憶手段の各記憶領域に記憶させるため、単位画像信号のデータ長の変換が不要なので、高速かつ低消費電力に右90°回転処理を行うことができる。また、記憶手段の画像信号を右90°回転して、再びその記憶手段に戻すので、複数の記憶手段を設ける必要がなく、安価な回路とすることができる。

【0089】

また、請求項11および請求項12の発明によれば、単位画像信号と同じビット数の記憶領域を複数備える記憶手段を備え、所定の左回転命令信号の入力に応答して、記憶手段の各記憶領域に記憶された単位画像信号の配列を、単位色配列を保ちつつ左に90°回転させて前記記憶手段の各記憶領域に記憶させるため、単位画像信号のデータ長の変換が不要なので、高速かつ低消費電力に左90°回転処理を行うことができる。また、記憶手段の画像信号を左90°回転して、再びその記憶手段に戻すので、複数の記憶手段を設ける必要がなく、安価な回路とすることができる。

【0090】

また、請求項13および請求項14の発明によれば、単位画像信号と同じビット数の記憶領域を複数備える第1および第2記憶手段を備え、第1記憶手段において第1の単位色配列を形成するように各記憶領域に記憶された各単位画像信号を第2の単位色配列に変換して第2記憶手段の各記憶領域に記憶するように、第1記憶手段の各記憶領域と第2記憶手段の各記憶領域とが互いに所定の接続線で

直接接続されているため、単位画像信号のデータ長の変換が不要なので、高速かつ低消費電力に色配列の変換を行うことができる。

【図面の簡単な説明】

【図 1】

この発明の一の実施の形態に係るデジタルスチルカメラを示す図である。

【図 2】

第 1 の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。

【図 3】

第 1 の実施の形態におけるコプロセッサによる回転処理を説明するための図である。

【図 4】

第 1 の実施の形態におけるコプロセッサによる鏡映処理を説明するための図である。

【図 5】

第 1 の実施の形態による色データの合併および分離の様子を説明するための図である。

【図 6】

第 2 の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。

【図 7】

第 2 の実施の形態におけるコプロセッサによる右回転処理を説明するための図である。

【図 8】

第 3 の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。

【図 9】

第 3 の実施の形態におけるコプロセッサによる左回転処理を説明するための図である。

【図 10】

第 4 の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続関係を模式的に示す図である。

【図 11】

第 4 の実施の形態におけるコプロセッサによる右回転処理を説明するための図である。

【図 12】

第 5 の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続関係を模式的に示す図である。

【図 13】

第 5 の実施の形態におけるコプロセッサによる左回転処理を説明するための図である。

【図 14】

第 6 の実施の形態におけるコプロセッサのレジスタおよびそれらにおけるレジスタ間の接続を示す図である。

【符号の説明】

24 CPU

25 コプロセッサ（信号処理回路）

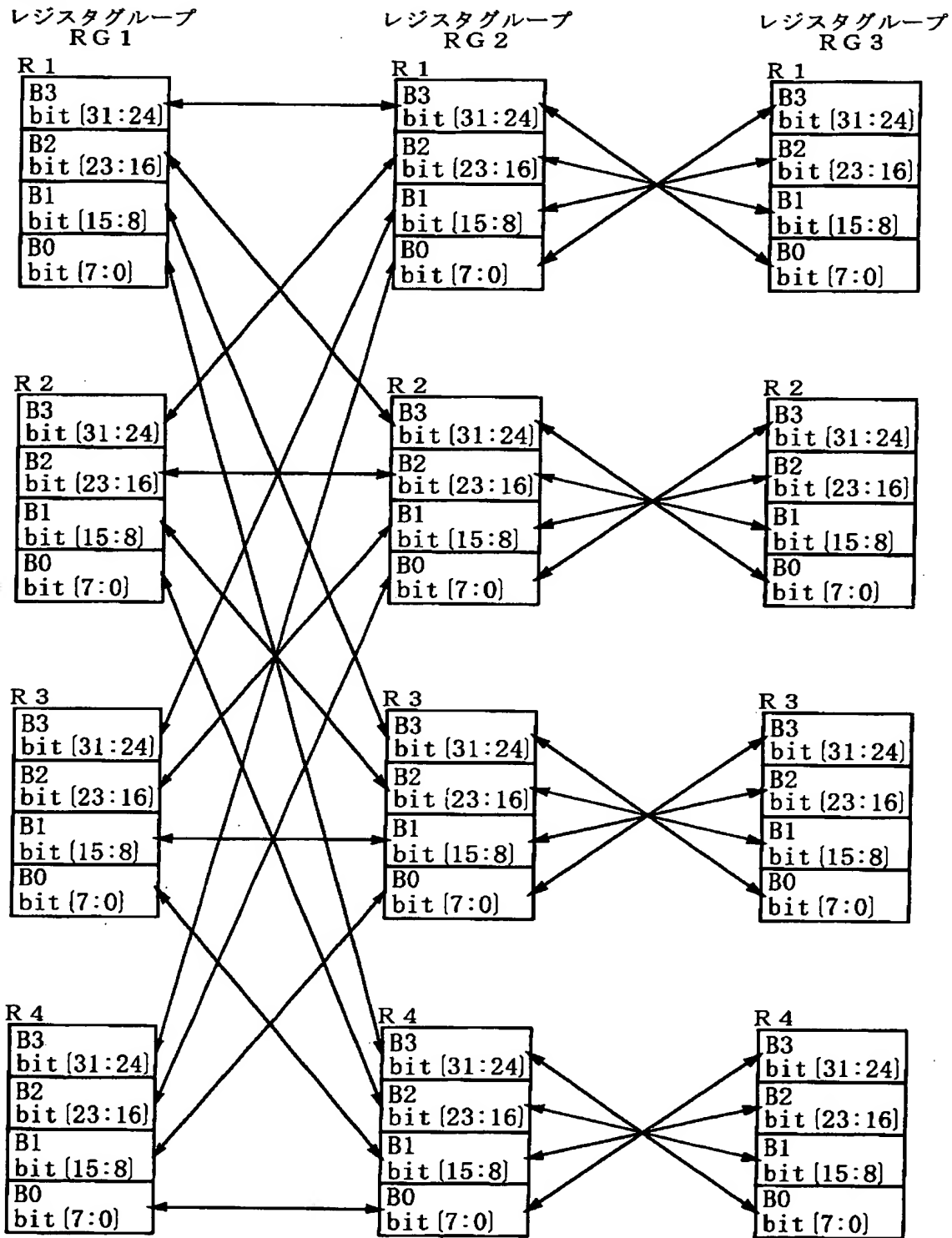
29 主メモリ

B0～B3 第0～第3バイト（記憶領域）

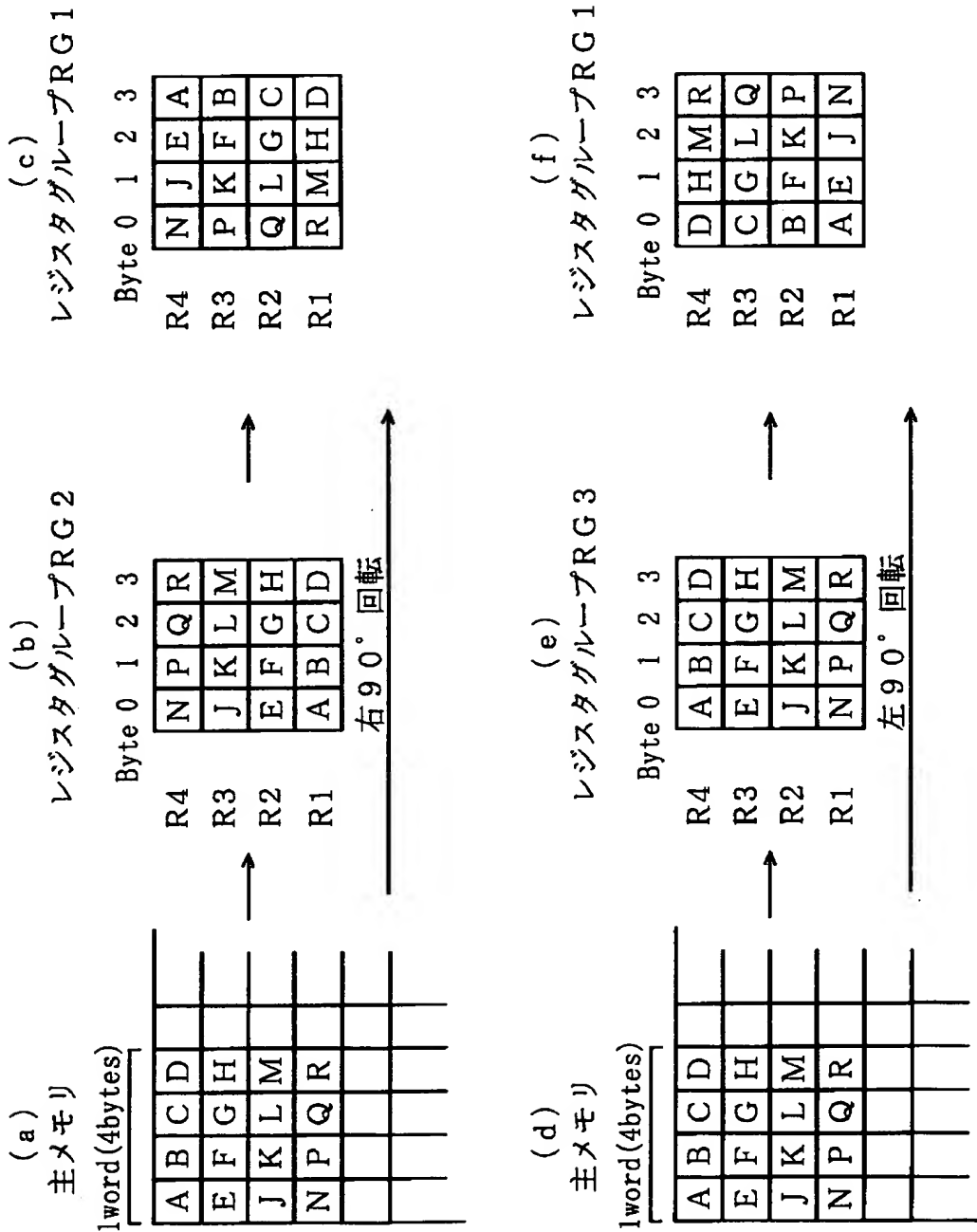
R1～R4 レジスタ（第1および第2記憶手段）

RG1～RG9 レジスタグループ（記憶手段、第1～第3記憶手段）

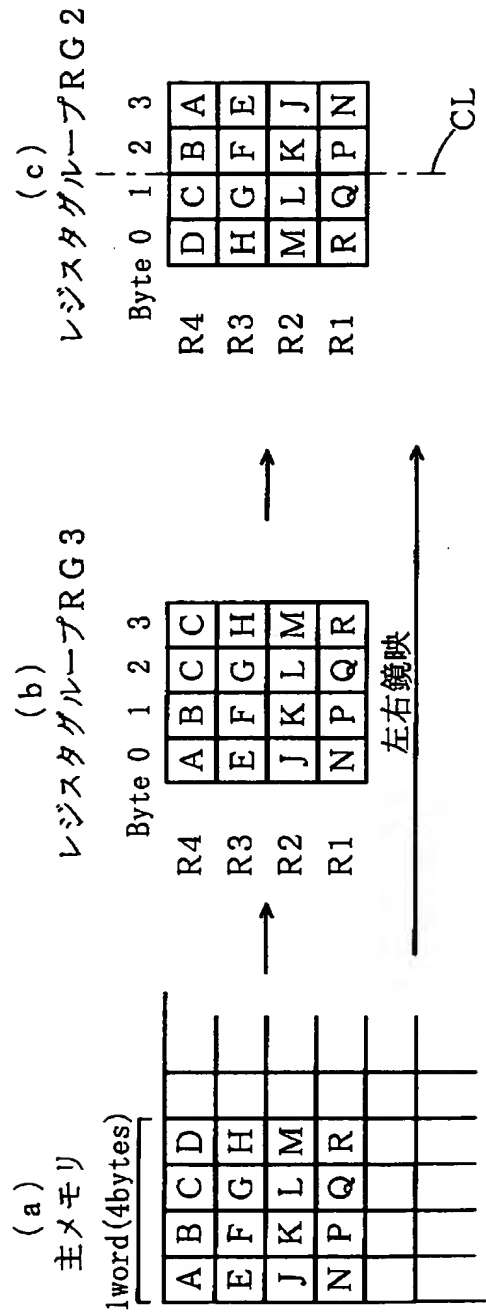
【図 2】



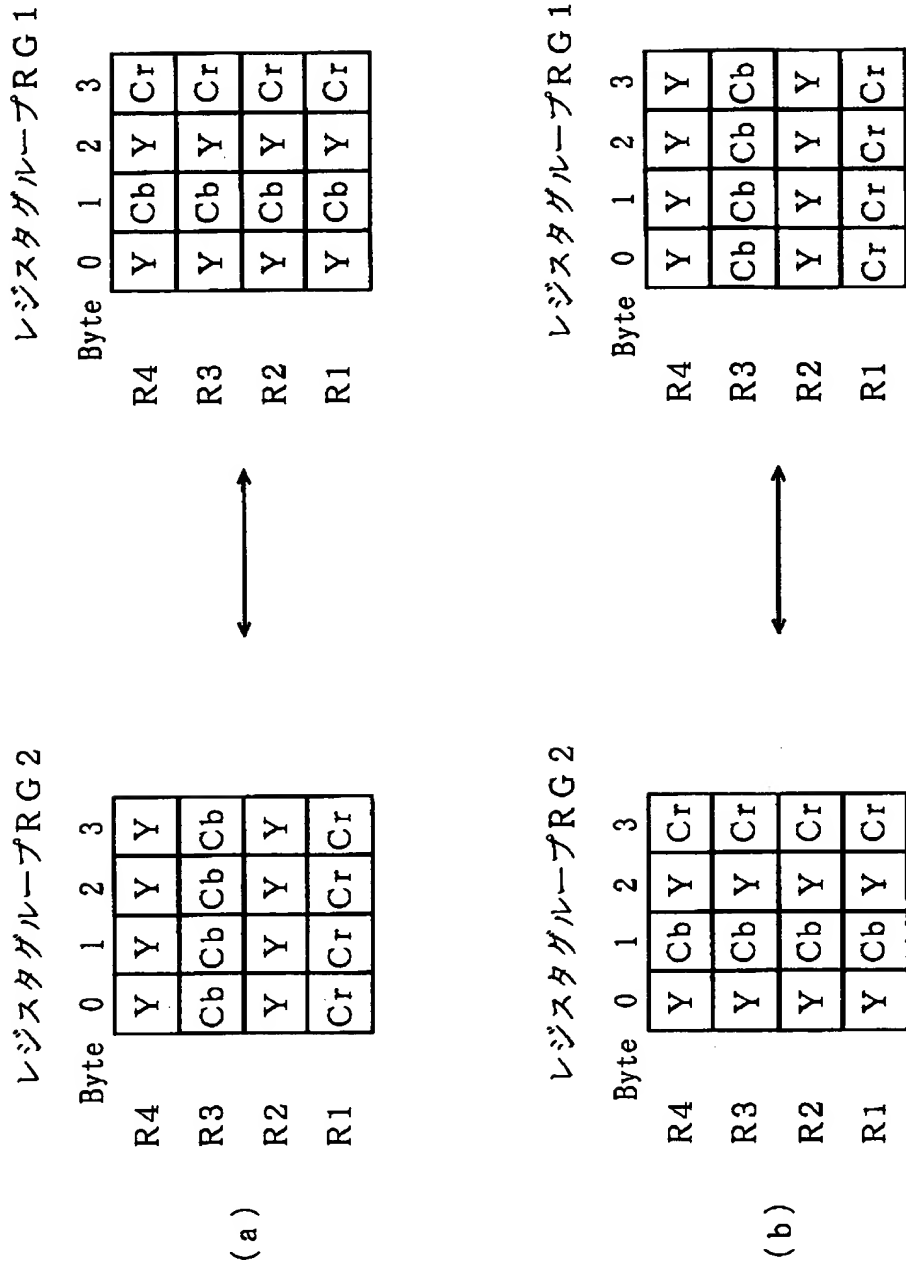
【図 3】



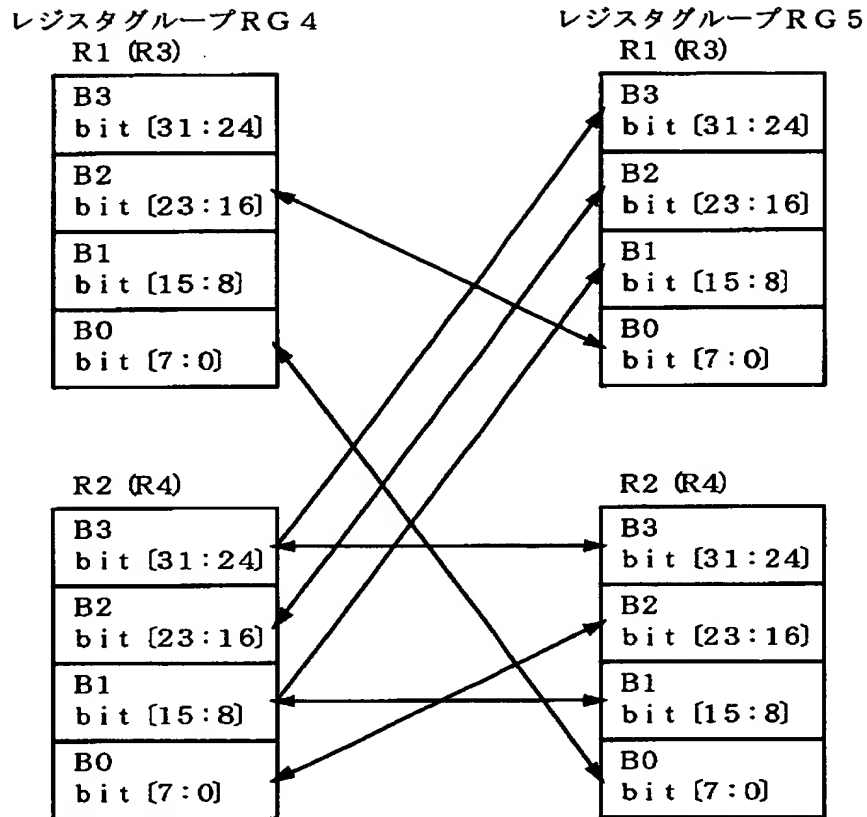
【図 4】



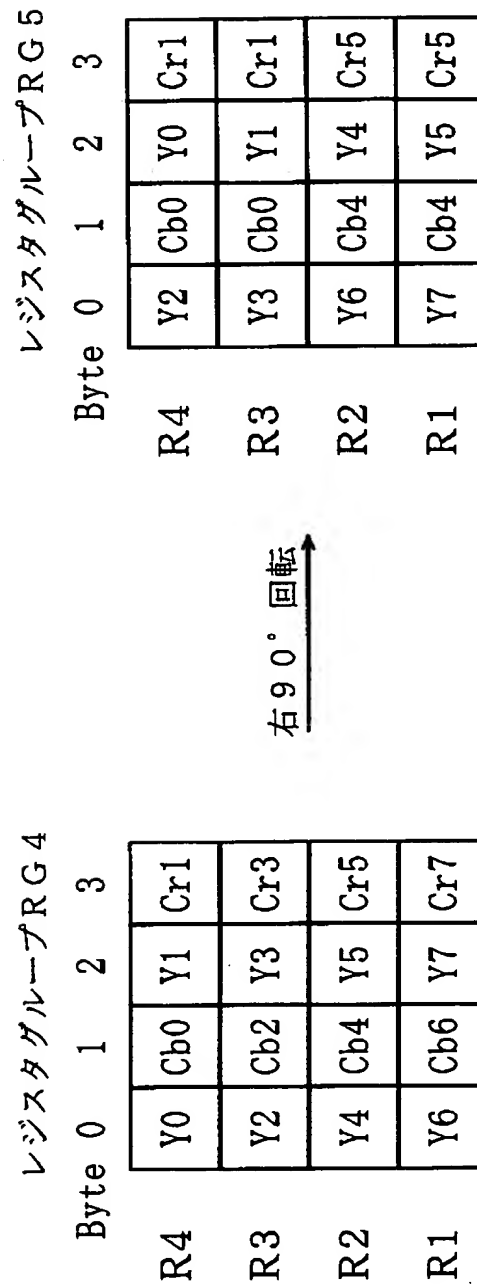
【図 5】



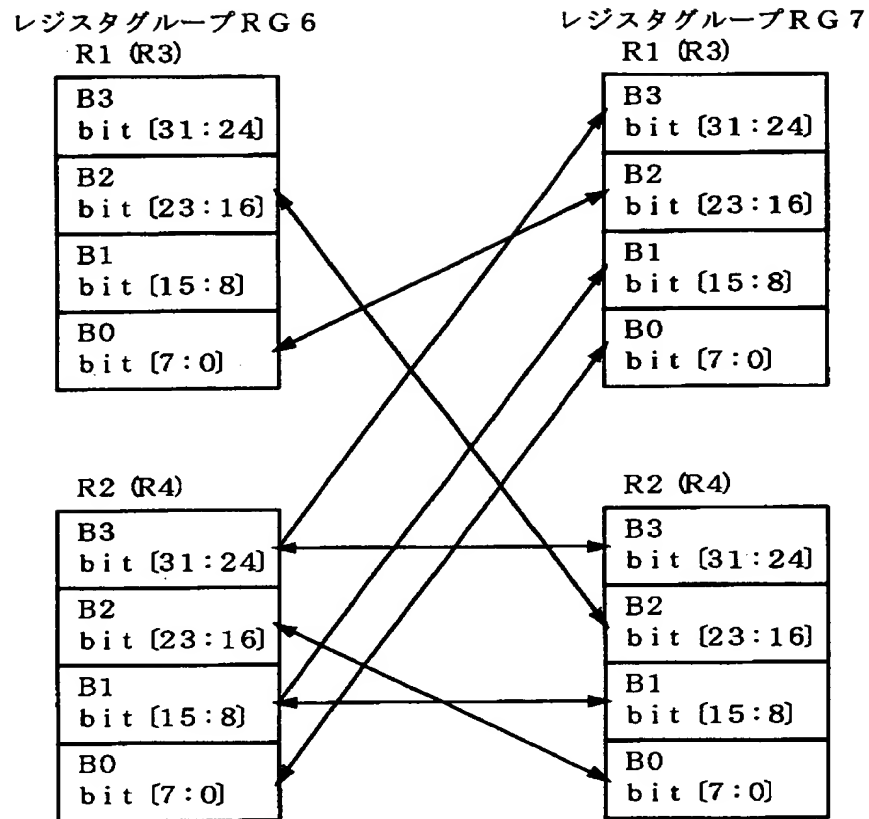
【図 6】



【図 7】



【図 8】



【図9】

レジスタグループRG7

Byte	0	1	2	3
R4	Y1	Cb0	Y3	Cr1
R3	Y0	Cb0	Y2	Cr1
R2	Y5	Cb4	Y7	Cr5
R1	Y4	Cb4	Y6	Cr5

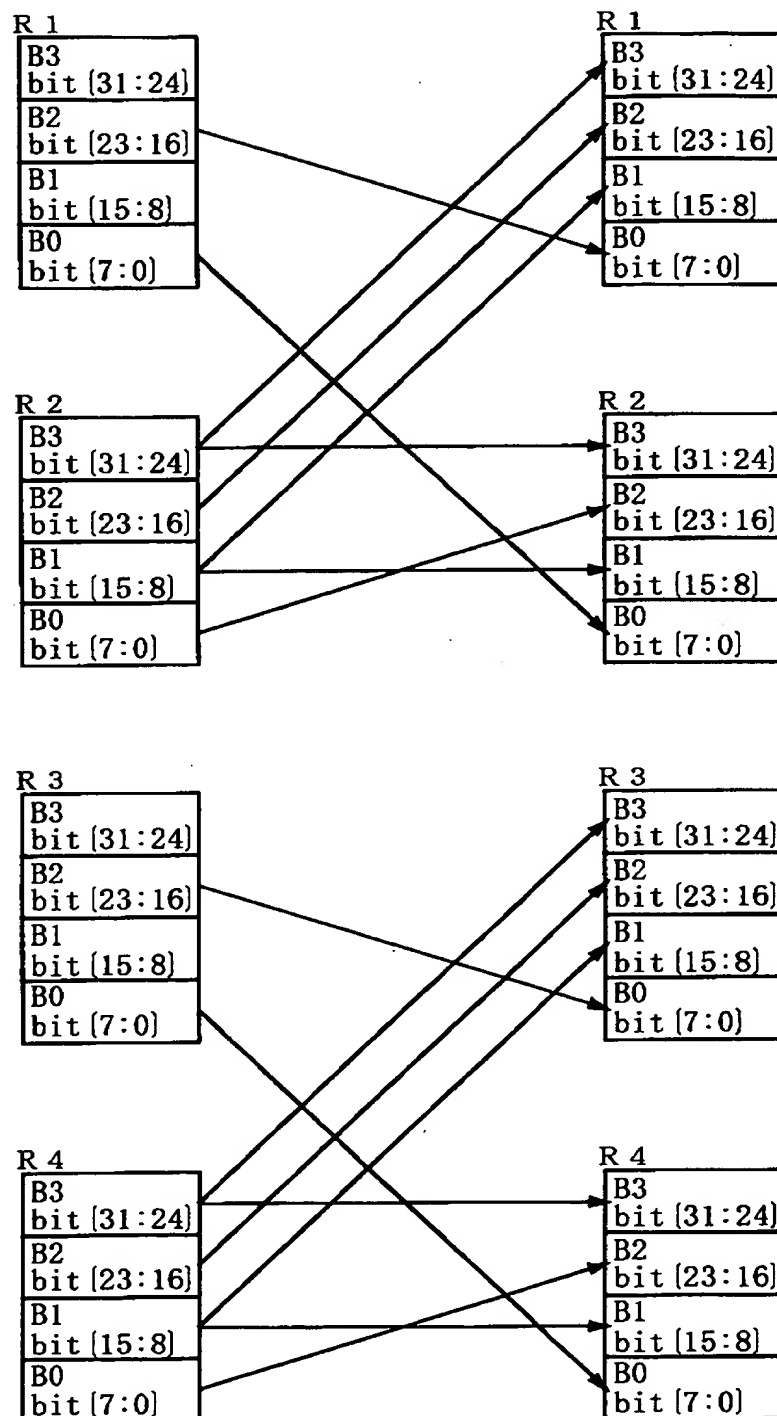
左90°回転

レジスタグループRG6

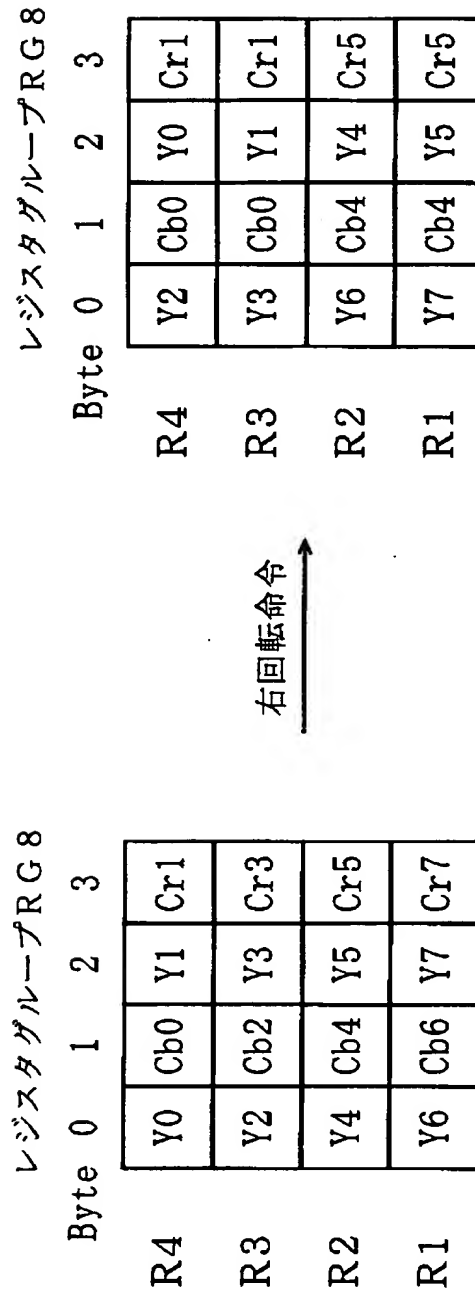
Byte	0	1	2	3
R4	Y0	Cb0	Y1	Cr1
R3	Y2	Cb2	Y3	Cr3
R2	Y4	Cb4	Y5	Cr5
R1	Y6	Cb6	Y7	Cr7

【図 10】

レジスタグループRG 8 右回転命令 レジスタグループRG 8

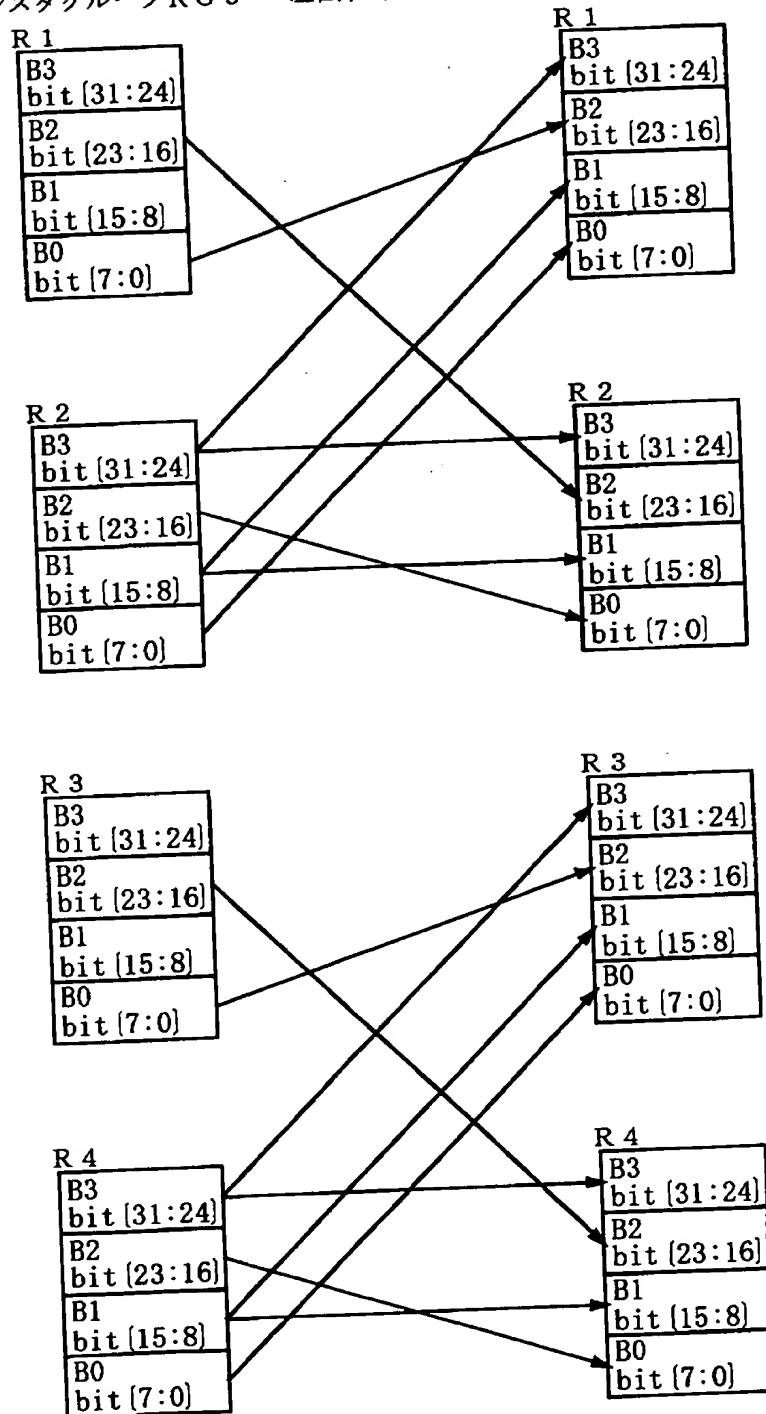


【図 1 1】



【図 12】

レジスタグループRG9 左回転命令 レジスタグループRG9



【図 13】

レジスタグループRG9

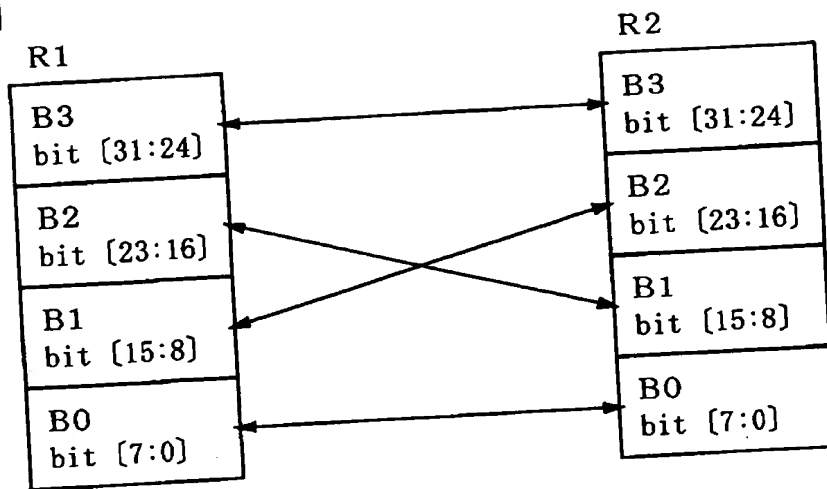
Byte	0	1	2	3
R4	Y1	Cb0	Y3	Cr1
R3	Y0	Cb0	Y2	Cr1
R2	Y5	Cb4	Y7	Cr5
R1	Y4	Cb4	Y6	Cr5

左回転命令

レジスタグループRG9

Byte	0	1	2	3
R4	Y0	Cb0	Y1	Cr1
R3	Y2	Cb2	Y3	Cr3
R2	Y4	Cb4	Y5	Cr5
R1	Y6	Cb6	Y7	Cr7

【図 14】



【書類名】 要約書

【要約】

【課題】 高速に画像の回転、鏡映等の処理を行なうことができる信号処理回路を提供する。

【解決手段】 デジタルスチルカメラ等の画像入力装置にはCPUに接続されたコプロセッサが設けられ、コプロセッサ内には図示のように互いに電氣的に接続されたレジスタグループRG1～RG4が設けられ、それらはそれぞれ32ビット長のレジスタR1～R4を備えている。各レジスタR1～R4は第0バイト～第3バイトに1バイトの画素データをそれぞれ記憶する。CPUからレジスタグループRG3に読み込んだ画像データをレジスタグループRG2を介してレジスタグループRG1に転送すると画像を左90°回転することができる。右90°回転、左右方向の鏡映等の処理も含めて、画像データのデータ長を変換することなく高速に行うことができる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [591128453]

1. 変更年月日 1996年 1月25日
[変更理由] 住所変更
住 所 大阪市淀川区宮原4丁目5番36号
氏 名 株式会社メガチップス